

UNIVERSIDAD AUTONOMA DE NUEVO LEON

FACULTAD DE CIENCIAS FISICO MATEMATICAS



MEMORIA DE SEMICONDUCTORES

T E S I S

QUE PARA OBTENER EL TITULO DE LA  
LICENCIATURA EN CIENCIAS  
COMPUTACIONALES

PRESENTA  
ARTURO M. MARCHAN AGUILAR

MONTERREY, N. L.

ENERO DE 1987

TL  
TK7895  
.M4  
M37  
1987  
c.1



1080171513

Jueves 12-87

Presidente: Ing. Aurelio Ramírez

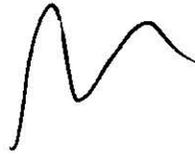
Secretario: Lic. Fidencio Sánchez

Vocal : Lic. Narciso Enrique R. Ramírez

Inicio: 7:30 PM

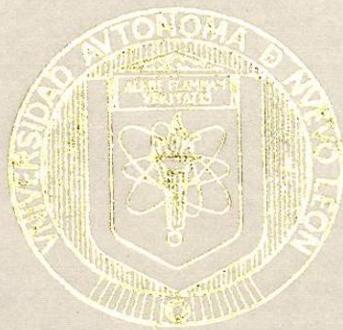
Fin: 9:00 PM

OK



UNIVERSIDAD AUTONOMA DE NUEVO LEON

FACULTAD DE CIENCIAS FISICO MATEMATICAS



MEMORIA DE SEMICONDUCTORES

T E S I S

QUE PARA OBTENER EL TITULO DE LA  
LICENCIATURA EN CIENCIAS  
COMPUTACIONALES

PRESENTA  
ARTURO M. MARCHAN AGUILAR

MONTERREY, N. L.

ENERO DE 1987



A mis hijos

A mi esposa

A mis maestros

A mis amigos

A Mexico y Venezuela

## CONTENIDO

Cap.		pag.
	Prólogo	
1	Semiconductores y dispositivos semiconductores	1
1.0	Introducción	1
1.1	Flujo de electrones en un semiconductor	2
1.2	La unión P-N	5
1.3	El diodo	6
1.4	El transistor bipolar	8
1.5	El transistor de efecto de campo (MOSFET)	10
2	Sistemas numéricos	12
2.0	Introducción	12
2.1	Sistemas numéricos	13
2.2	Códigos binarios	17
2.3	Representación de números negativos	18
2.4	Representación alfanumérica	20
3	Circuitos digitales	22
3.0	Introducción	22
3.1	Puertas lógicas	23
3.2	El circuito integrado (CI)	29
3.2.1	Construcción de un transistor	30
3.3	Familias lógicas	33

3.3.1	Lógica transistor transistor (TTL)	39
3.3.2	Lógica de semiconductores complementarios de oxido de metal	46
3.4	Algebra booleana	48
3.5	Mapas de Karnaugh	52
3.5.1	Representación de ecuaciones lógicas	53
3.5.2	Simplificación de ecuaciones lógicas	55
3.6	Circuitos combinacionales	60
3.6.1	Decodificadores	64
3.6.2	El multiplexor	65
3.7	El flip-flop	66
3.7.1	El flip-flop SR	66
3.7.2	El flip-flop D	67
3.7.3	El flip-flop T	68
3.7.4	El flip-flop JK	68
3.7.5	Tablas de transición	69
3.8	Circuitos secuenciales	70
3.8.1	Registros	79
4	Unidades de memorias	81
4.0	Introducción	81
4.1	Memorias	82
4.2	Memorias de acceso secuencial	83
4.3	Memorias de acceso aleatorio (RAM)	88
4.3.1	Celda estática MOS	89
4.3.2	Celda dinámica MOS	92
4.3.3	Celda bipolar	94
4.5	Organización de un sistema de memoria RAM	102

4.6	Memorias de núcleos magnéticos	106
4.7	Memorias de sólo lectura (ROM)	107
4.8	Implementación de una ROM	110

Glosario

Hojas de datos

Bibliografía

## Prólogo

Este trabajo pretende traer ante usted amigo lector, los conocimientos necesarios para comprender la teoría y el funcionamiento de lo que conocemos con el nombre de memoria cuando hablamos de computadoras.

Sabemos que, este es uno de los campos de la tecnología de más rápido desarrollo en la actualidad, y también se sabe que es imposible abarcar todo lo existente actualmente; como dije arriba, sólo será lo suficiente para que se pueda comprender como funciona la parte de la computadora que se encarga de guardar la información para su uso posterior.

El primer capítulo nos presenta a un nivel accesible para cualquier estudiante, la física de los materiales semiconductores, como un punto de apoyo para comprender como funcionan el diodo y el transistor contruidos con estos materiales, y que se emplean en los circuitos electrónicos que forman la memoria. El capítulo dos, explica la manera en que se representan los datos en la memoria. En el capítulo tres, vemos las compuertas lógicas, su uso en los circuitos, así como también las herramientas matemáticas empleadas para analizar y diseñar los sistemas donde intervienen. El capítulo cuatro, nos presenta la memoria como un sistema formado por varios componentes, instalados en forma repetida para formar unidades relativamente grandes. También presenta la forma como se organiza y funciona la memoria.

Por último diré que en algunas parte de este trabajo aparecen términos en inglés. Se debe esto a la ausencia de un equivalentes en nuestro idioma, y en otros casos para evitar la confusión que la traducción produciría.

## CAPITULO 1

### SEMICONDUCTORES Y DISPOSITIVOS SEMICONDUCTORES

#### Introducción

Se pretende en este primer capítulo ,hacer llegar al lector los conocimientos necesarios sobre los fenómenos eléctricos que ocurren dentro de los materiales semiconductores y que nos haran falta para comprender como funcionan los dispositivos contruidos con estos materiales.

Inicialmente los materiales se clasificaban en conductores y aislantes segun su resistividad eléctrica. Posteriormente se conocieron aquellos materiales que conducen la corriente mejor que un aislante, pero no también como un conductor a este grupo se les denominó semiconductores.

Los semiconductores pueden llegar a tener características de uno de los otros grupos según se quiera,es decir,bajo ciertas condiciones se pueden comportar como un aislante y presentar

baja conductividad o bien aumentarla gradualmente hasta tener el comportamiento de un metal.

### 1.1 Flujo de electrones en un semiconductor

En un semiconductor, la última capa de electrones de un átomo se encuentra dividida en dos subcapas, con un intervalo de energía entre ellas; las subcapas reciben el nombre de bandas de conducción y banda de valencia respectivamente; siendo el intervalo de energía entre ellas una banda de energía prohibida. A temperatura ambiente, en un semiconductor puro, llamado semiconductor intrínseco, muy pocos electrones se encuentran en la banda de conducción por lo que es muy mal conductor. La figura siguiente muestra la banda de valencia y conducción en un semiconductor puro.

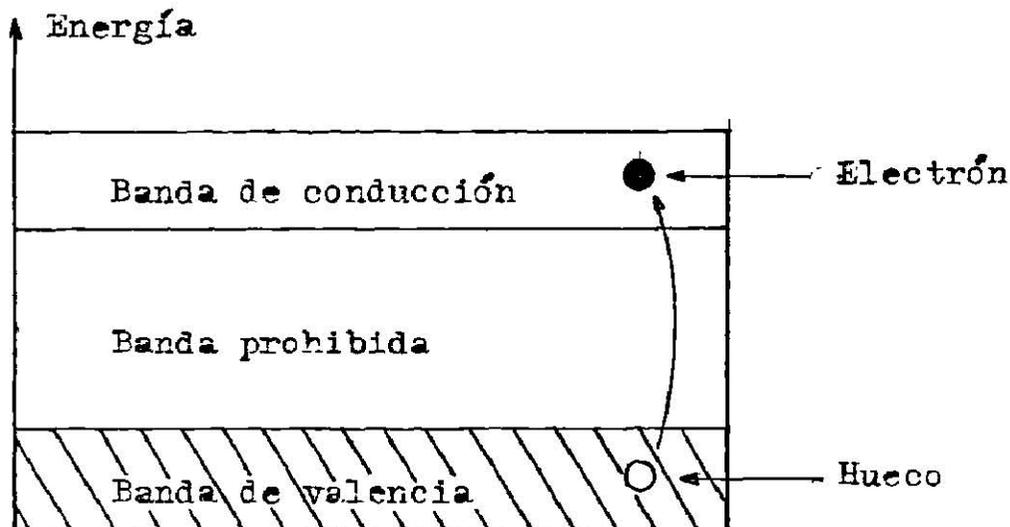


Fig. 1.1 Semiconductor puro

Cuando el material se encuentra al cero absoluto, todos los electrones se encuentran en la banda de valencia,

comportandose como un aislante ideal, pero a medida que la temperatura se incrementa algunos electrones saltan a la banda de conducción, incrementandose su número con el aumento de la temperatura. Lo anterior significa que la característica de resistividad de un semiconductor muestra resistencia decreciente con el aumento de temperatura. Sin embargo, los semiconductores deben operar dentro de límites de temperatura definidos para mantener bajo control su característica de resistividad.

Cuando un electrón deja la banda de valencia para ir a la banda de conducción se crea un hueco en el lugar que ocupaba. En cristales intrínsecos (puros) el número de electrones en la banda de conducción es igual al número de huecos, en la banda de valencia.

En la banda de conducción los electrones pueden moverse libremente. De manera similar, si un electrón se mueve en la banda de valencia para ocupar un hueco deja otro hueco donde se encontraba antes. De esta manera, además de la corriente debida a los electrones en la banda de conducción, se tiene una contribución a ella producida por los huecos saltando de un átomo a otro.

Si un campo eléctrico es aplicado al material semiconductor de la figura 1.1 como se muestra en la figura 1.2 el electrón se mueve hacia el terminal positivo. Un electrón en la banda de valencia también se mueve hacia el terminal positivo de la batería si tiene la suficiente energía para saltar desde

su nivel de energía al nivel de energía del hueco. Cuando el electrón se mueve deja un hueco, el cual se desplaza hacia el terminal negativo de la batería cada vez que un electrón lo ocupa. La corriente neta, es por los tanto, la suma de la producida, por el movimiento de los electrones en la banda de conducción y la producida por los huecos en la banda de valencia.

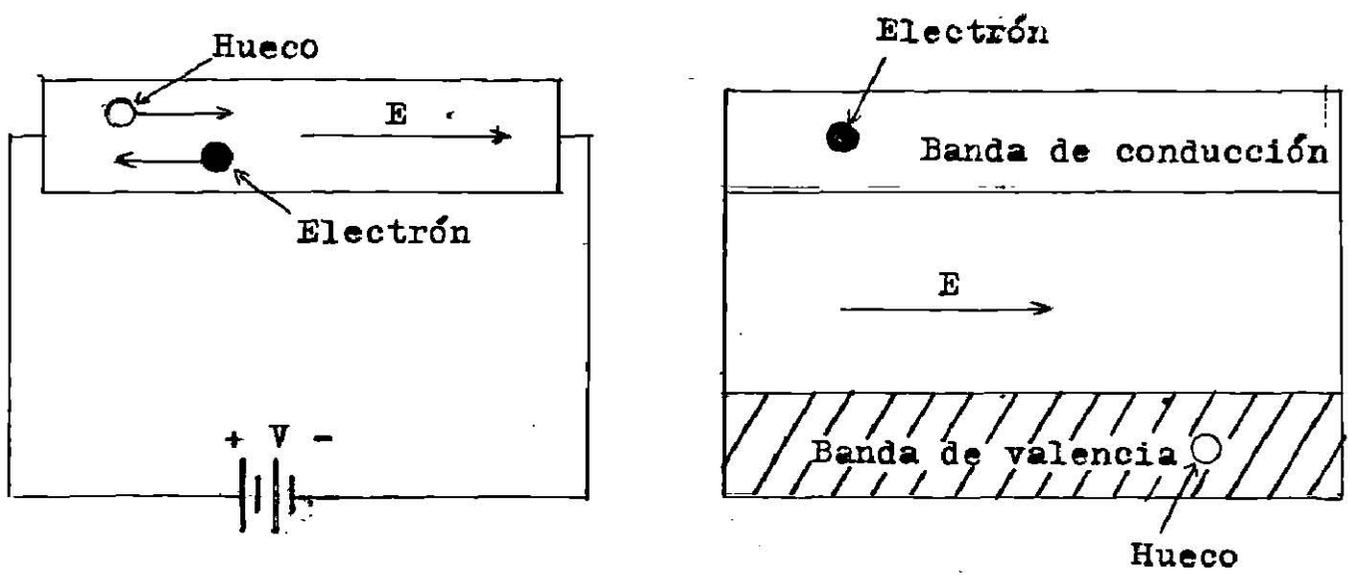


Figura 1.2 Electrones y huecos en movimiento en un campo electrico

El silicio es un material semiconductor, teniendo cada átomo cuatro electrones en su capa más externa que son compartidos con los átomos vecinos. Si ahora introducimos en la red cristalina una impureza, por ejemplo un átomo de fósforo que tiene cinco electrones en su última capa; solamente cuatro serán compartidos con los átomos vecinos, quedando el quinto prácticamente libre, bastando una pequeña cantidad de energía para que pase a la banda de conducción. Esta impureza se le

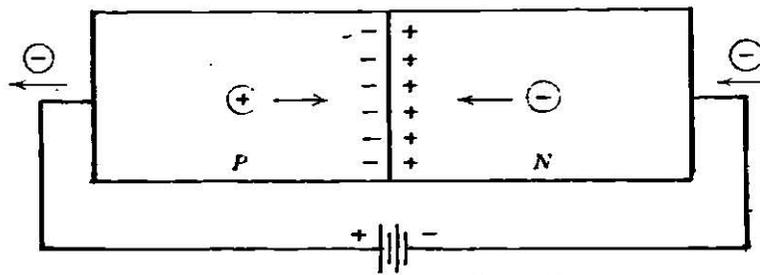
llama donadora pues cede electrones a la red. Así, tenemos que a temperatura ambiente, la cantidad de electrones en la banda de conducción es mayor que la de huecos en la banda de valencia, por lo tanto, la conducción se realiza en su mayoría por electrones, llamándose a este semiconductor tipo N.

Si, por el contrario ahora introducimos en la red cristalina del silicio un átomo de impureza trivalente como el boro, este tendrá un enlace incompleto con los átomos de silicio; en este caso, se forma un hueco que se desplaza por los enlaces del silicio participando en la conducción. A este tipo de impureza se le denomina aceptora. En este material semiconductor los portadores mayoritarios de carga son los huecos (carga positiva), por lo que se denominan tipo P.

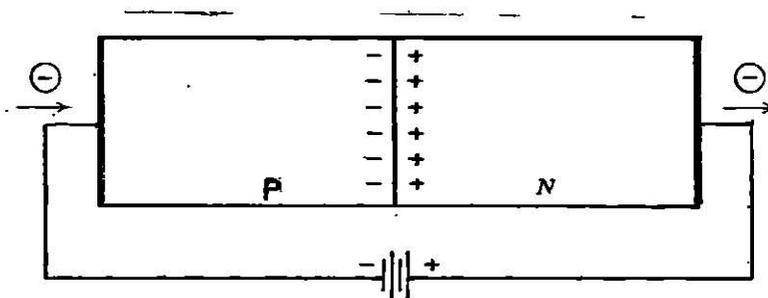
## 1.2 La unión P-N

Cuando un semiconductor tipo P está en contacto con uno del tipo N, se tiene, lo que se llama, una unión tipo P-N. Al estar en contacto los dos materiales, algunos electrones de la región N, donde hay en exceso, se difunden en la región P; lo mismo harán los huecos de la región P hacia la región N. Debido al desplazamiento de carga, aparecerá en ambas regiones de la unión, una zona de átomos ionizados de alta resistencia; en esta zona se genera un campo eléctrico por lo que se establece una barrera de potencial que se opone a la difusión de carga.

Dependiendo de la manera de conectar la unión a la fuente de voltaje, la barrera de potencial que hay entre los materiales facilita (baja impedancia) o se opone (alta impedancia) al flujo de corriente. Esto se muestra en la fig. 1.3.



(a)



(b)

Figura 1.3 (a) Polarización directa. (b) Polarización inversa

### 1.3 El diodo

Basicamente un diodo está formado por una unión P-N con sus respectivos terminales a ambos lados de la unión. Es por

eso un dispositivo de dos terminales; su símbolo eléctrico se muestra en la fig.1.4. La principal característica del diodo es la de rectificar, es decir, ofrece poca resistencia a la corriente en un sentido (polarización directa) y una muy alta en sentido contrario (polarización inversa). En la figura 1.4 se muestra la curva característica corriente-voltaje de un diodo. Según la gráfica, con polarización directa la corriente crece en forma exponencial, mientras la polarización inversa produce una corriente muy pequeña (corriente de fuga). Si se aumenta el voltaje inverso más allá de un cierto valor, se produce la ruptura de la unión y como lo indica la gráfica la corriente crece bruscamente a través de ella.

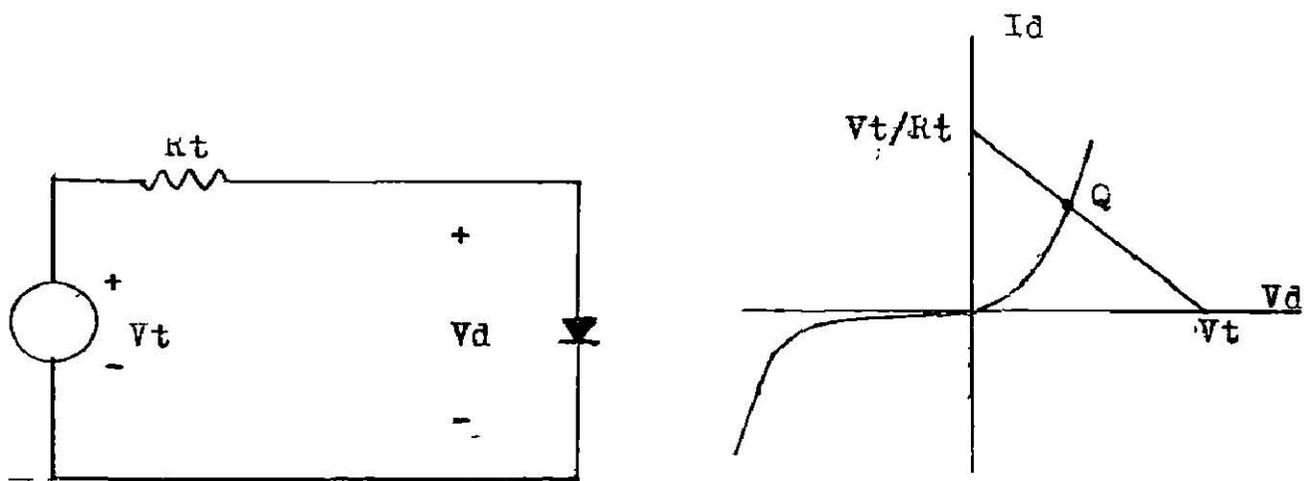


Fig.1.4 Diodo de unión (a) Símbolo eléctrico  
(b) Curva característica

En el circuito anterior se cumplen las relaciones siguientes:

(a) En el diodo:  $I_d = f(V_d)$ .

(b) Para todo el circuito:  $V_d = V_t - I_d \cdot R_t$ .

Si graficamos las dos relaciones anteriores sobre un mismo

par de ejes su intersección es el punto de operación Q, siendo sus coordenadas el voltaje y la corriente con que opera el diodo.

#### 1.4 El transistor bipolar

Es un dispositivo de tres terminales y se forma añadiendo una tercera región a la estructura de un diodo, según los tipos de región empleada, se tendrá un transistor PNP o NPN.

Fisicamente el transistor consiste de tres partes, emisor, base y colector. Como hay 3 terminales, el transistor puede ser conectado de varias maneras. En la figura 1.5 se muestra un transistor PNP, conectado en una configuración llamada base común. Su operación se puede explicar de la manera siguiente: La batería  $V_{eb}$  hace que la unión emisor-base tenga polarización directa provocando que el emisor inyecte huecos en la base, la mayor parte de los huecos viajan a través de la base que es muy delgada pasando al otro lado de la segunda unión llegando al colector, el cual tiene polaridad negativa. La unión emisor base representa un diodo polarizado en sentido directo, mientras que la unión base-colector está polarizada en sentido inverso a causa de  $V_{bc}$ . Las corrientes  $I_b$ ,  $I_c$  e  $I_e$  se denominan corriente de base, corriente de colector y corriente de emisor respectivamente. La corriente  $I_c$ , es menor que  $I_e$ , debido a que algunos huecos son absorbidos por la base. En el circuito de la fig. 1.5 se cumple que :

(a)  $I_e - I_b - I_c = 0$  ; (b)  $V_{eb} - V_{be} - I_e R_e = 0$  ; (c)  $V_{cc} - V_{be} - I_c R_c = 0$ .

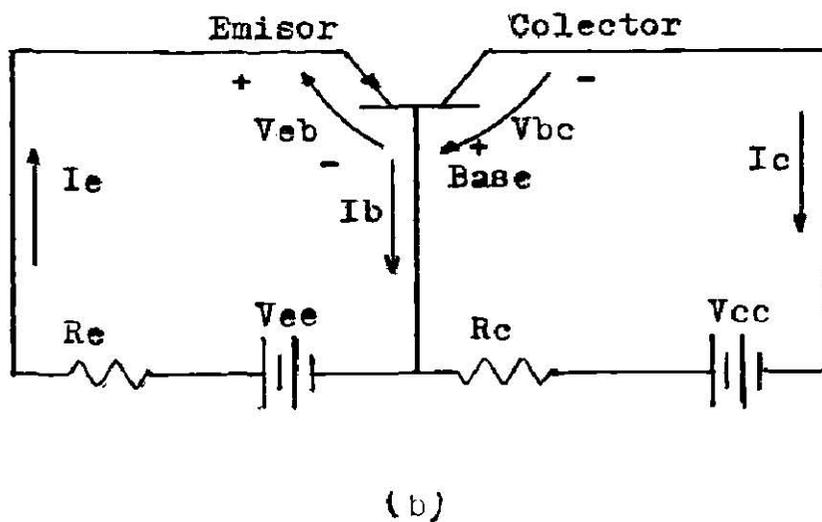
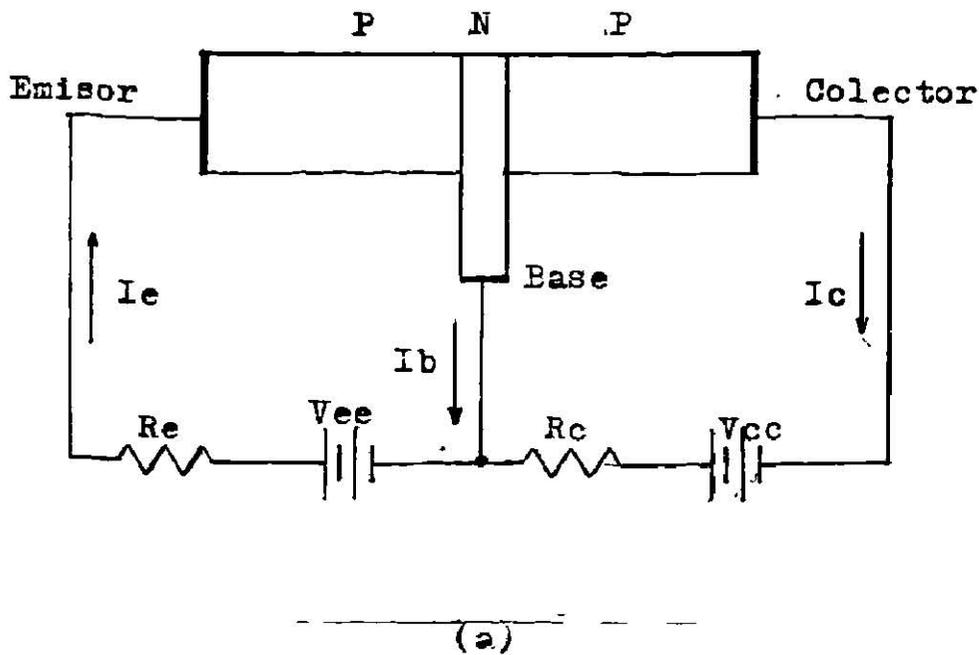


Figura 1.5 Transistor PNP (a) Representación gráfica  
(b) Circuito eléctrico

Otra manera de conectar el transistor es mostrada en la figura 1.6. Conectado de esa manera presenta 3 regiones de trabajo, como se muestra en su característica de salida. Para nosotros es de interés la región de saturación y la región de

corrente, que es donde opera el transistor, cuando actúa como un interruptor. La región de corte se alcanza cuando la polarización se anula ( $I_B=0$ ), y la región de saturación se alcanza cuando  $I_B$  pasa por arriba de un cierto valor de corriente; cayendo  $V_{CE}$  a un valor muy pequeño, un valor típico es 1 voltio.

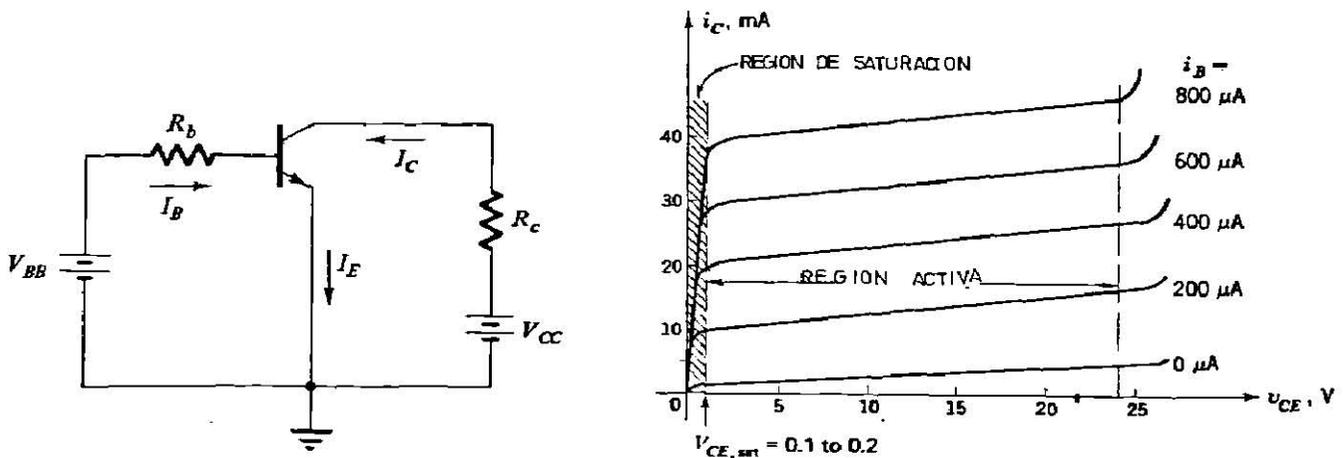


Fig. 1.6 (a) Configuración emisor común. (b) Característica

### 1.5 Transistor de efecto de campo (MOSFET)

Como se muestra en la figura 1.7 el MOSFET consiste en un sustrato (lámina), en este caso tipo P, en las que se han difundido dos regiones, tipo N, llamadas drenador y surtidor. La puerta se forma cubriendo la región entre surtidor y drenador con una capa de dióxido de silicio sobre la cual se deposita una placa metálica. Cuando la puerta es positiva se induce un canal conductor entre el drenador y el surtidor. La impedancia de este canal puede ser controlada variando la

tensión aplicada a la puerta, por lo que el MOSFET puede ser visto como un interruptor controlado por voltaje. Este tipo de MOS se denomina NMOS. Cuando el sustrato es tipo N y el drenador y surtidor es tipo P. Se tiene el PMOS, siendo el canal inducido tipo P. La puerta del PMOS debe ser negativa para que el dispositivo conduzca.

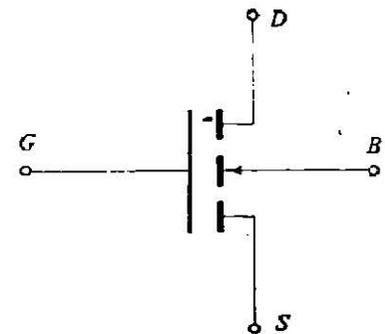
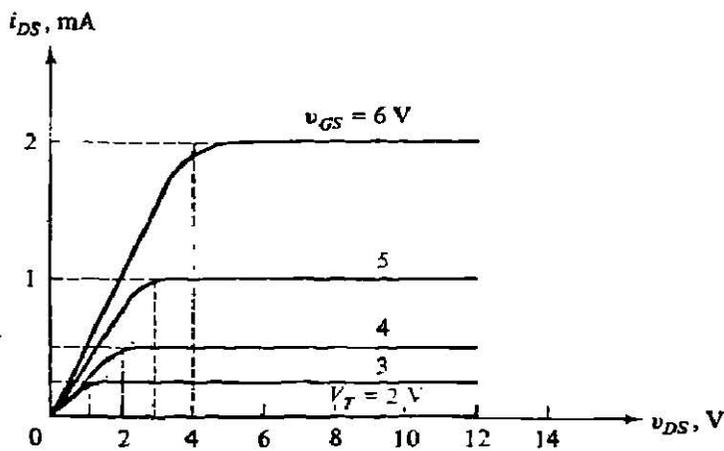
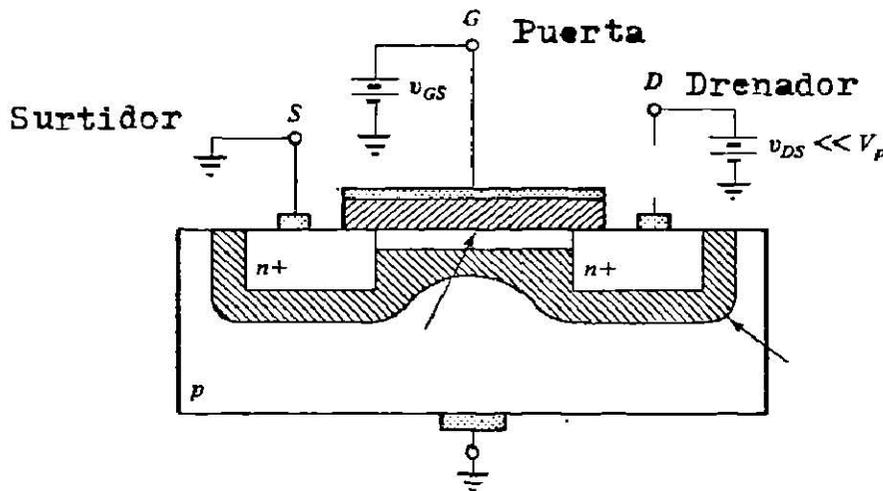


Figura 1.7 (a) NMOS (b) Característica (c) Simbolo

## CAPITULO 2

### SISTEMAS NUMERICOS

#### Introducción

Debido a que en las variables lógicas que aparecen en los sistemas digitales solo ocurren dos valores diferentes. Es natural utilizar internamente en tales sistemas números binarios, que solo usan los dígitos 0 y 1, siendo posible asociarlos a los 2 valores que presentan las variables.

#### 2.1 Sistemas numéricos

Una vía para introducir el concepto de un sistema numérico es explicarlo en términos del sistema decimal (base 10) con el cual todos estamos familiarizados.

Un número decimal se puede representar como una suma de potencias de 10, en la cual cada potencia está multiplicada por un entero entre cero y nueve inclusive. Por ejemplo el número  $324.6 = (3 \cdot 10^2) + (2 \cdot 10^1) + (4 \cdot 10^0) + (6 \cdot 10^{-1})$ , esta notación se denomina posicional, ya que la potencia de 10 por el cual se multiplica cada dígito depende de su posición en el número. En el sistema binario la base es 2 y los símbolos que se emplean son 0 y 1, (cero y uno), cada dígito binario es multiplicado por la potencia de dos apropiada:

$$\begin{aligned} 11101.01 &= (1 \cdot 2^4) + (1 \cdot 2^3) + (1 \cdot 2^2) + (0 \cdot 2^1) + (1 \cdot 2^0) + (0 \cdot 2^{-1}) + (1 \cdot 2^{-2}) \\ &= 16 + 8 + 4 + 0 + 1 + 0 + 1/4 = 29.25 \end{aligned}$$

Cualquier entero positivo  $S$  ( $S > 1$ ), puede ser escogido como base de un sistema numérico. Si la base es  $S$ , luego  $S$  dígitos  $(0, 1, 2, 3, \dots, S-1)$ , son empleados. Por ejemplo si  $S = 8$  los dígitos requeridos son: 0, 1, 2, 3, 4, 5, 6, 7.

Cualquier número escrito en notación posicional puede ser expandido en una serie de potencia en  $S$ , por ejemplo:

$$\begin{aligned} N &= (A_4 A_3 A_2 A_1 A_0 \cdot A_{-1} A_{-2})_S \\ &= A_4 \cdot S^4 + A_3 \cdot S^3 + A_2 \cdot S^2 + A_1 \cdot S^1 + A_0 \cdot S^0 + A_{-1} \cdot S^{-1} + A_{-2} \cdot S^{-2} \end{aligned}$$

donde las  $A$  son los coeficientes de  $S$  y  $0 < A < S-1$ .

Si la aritmética indicada en la expansión en serie de potencia es hecha en base 10, entonces el resultado es el equivalente decimal del número, por ejemplo:

$$137.5 = 1 \cdot 8^2 + 3 \cdot 8^1 + 7 \cdot 8^0 + 5 \cdot 8^{-1} = 64 + 24 + 7 + 5/8 = 95.625$$

Para una base mayor que 10 se necesitan más de 10 símbolos

para representar los dígitos; en este caso, se emplean letras para representar los dígitos mayores que 9. Por ejemplo en hexadecimal (base 16), la A representa el 10, la B representa el 11, la C representa el 12, la D representa el 13, la E representa el 14 y la F representa el 15, por ejemplo:

$$1A7F3 = 1 \cdot 16^4 + 10 \cdot 16^3 + 7 \cdot 16^2 + 15 \cdot 16^1 + 3 \cdot 16^0$$

$$= 65536 + 40960 + 1792 + 240 + 3 = 108531$$

Para convertir números en base decimal a un sistema numérico con una base arbitraria S, la parte entera y la parte fraccional se deben convertir por separado.

El equivalente en base S de un número entero decimal N se puede representar como:

$$N = (A_n A_{n-1} A_{n-2} \dots A_2 A_1 A_0)_S$$

$$= A_n \cdot S^n + A_{n-1} \cdot S^{n-1} + A_{n-2} \cdot S^{n-2} + \dots + A_2 \cdot S^2 + A_1 \cdot S^1 + A_0 \cdot S^0$$

Si dividimos por S, obtenemos un cociente que llamaremos Q1 y un residuo A0.

$$Q_1 = A_n \cdot S^{n-1} + A_{n-1} \cdot S^{n-2} + \dots + A_2 \cdot S^2 + A_1, \text{ siendo el residuo } A_0.$$

Si dividimos el cociente Q1 por S obtendremos un cociente Q2 y un residuo A1. Si repetimos esta operación un número suficiente de veces, obtendremos finalmente A como residuo.

Lo que hemos hecho lo presentamos ahora en forma de ejemplo para llevar el número decimal 173 a base 3:

173	13	_____	
2	57	_____	
	0	19	13
		_____	
	1	6	13
		_____	
	0	2	13
		_____	
	2	0	

resto =	A <sub>0</sub>	=	2
resto =	A <sub>1</sub>	=	0
resto =	A <sub>2</sub>	=	1
resto =	A <sub>3</sub>	=	0
resto =	A <sub>4</sub>	=	2

$(173)_{10} = (20102)_3$

Cada uno de los coeficientes buscados corresponde a cada uno de los residuos obtenidos en cada división y el dígito menos significativo es obtenido primero.

Para convertir la parte fraccional de un número decimal a otro en base S, usamos multiplicaciones sucesivas por la base S. Una fracción decimal F se puede representar como:

$F = (.A_{-1}A_{-2}A_{-3}\dots A_{-m})_S = A_{-1} * S^{-1} + A_{-2} * S^{-2} + \dots + A_{-m} * S^{-m}$ , donde S es la base de la nueva representación y  $A_{-1}, A_{-2}, A_{-3}, \dots, A_{-m}$ , son los coeficientes. Si multiplicamos por S, obtenemos lo siguiente:

$$F * S = A_{-1} + A_{-2} * S^{-1} + \dots + A_{-m} * S^{-m+1} = A_{-1} + F_1.$$

En la expresión anterior A representa la parte entera del resultado y F1 la parte fraccional. Multiplicando F1 por S se tiene:

$$F_1 * S = A_{-2} + A_{-3} * S^{-1} + \dots + A_{-m} * S^{-m+2} = A_{-2} + F_2$$

Si multiplicamos F2 por S, obtendremos de nuevo una parte fraccional  $A_{-3}$  y una parte entera F3. Este proceso se repite hasta tener un número suficiente de dígitos. La parte entera obtenida en cada etapa es uno de los dígitos buscado en base S y el primero obtenido es el más significativo.

El método anterior se empleara para convertir la fracción (0.753) a binario.

$$0.753 * 2 = 1.506 \text{ -----} \rightarrow A_{-1} = 1$$

$$0.506 * 2 = 1.012 \text{ -----} \rightarrow A_{-2} = 1$$

$$0.012 * 2 = 0.024 \text{ -----} \rightarrow A_{-3} = 0$$

$$0.024 * 2 = 0.048 \text{ -----} \rightarrow A_{-4} = 0$$

$$(.753)_{10} = (.1100)_2$$

El proceso no siempre termina, pero si no lo hace el resultado es una fracción que se repite, en nuestro ejemplo la repetición comienza a partir del onceavo resultado.

Las conversiones entre dos bases diferentes a la decimal se puede hacer aplicando los metodos explicados, sin embargo, la aritmética para las operaciones debe ser diferente de la decimal. Por ello, es mas facil convertir el número a base 10 y luego a la base deseada.

Convertir de binario a octal y al contrario puede ser hecho por inspección, pues cada digito octal corresponde a exactamente 3 digitos binarios. Para ir de binario a octal, los digitos son divididos en grupos de 3 comenzando por el punto decimal, luego cada grupo es remplazado por un digito octal. Como convertir un número base 2 a base 8 se muestra a continuación:

$$\begin{aligned}(1110011.1001)_2 &= 001,110,011.100,100 \\ &= 1 \quad 6 \quad 3 . 4 \quad 4 \\ &= 163.44_8\end{aligned}$$

De manera semejante, de binario a hexadecimal se dividen los digitos binarios en grupos de 4 y luego se remplaza cada grupo por un digito hexadecimal .

Ejemplo: Convertir 101111.01101 a hexadecimal.

$$\begin{aligned}101111.01101_2 &= 0010,1111.0110,1000 \\ &= 2 \quad F \quad . \quad 6 \quad 8 \\ &= 2F6.68_{16}\end{aligned}$$

## 2.2 Códigos binarios

Otra manera de representar números decimales en forma binaria que evita convertir el número a binario como un todo, consiste en representar cada dígito decimal por un código de 4 (o más) dígitos binarios. En la forma más simple de código binario, cada dígito decimal es remplazado por el binario equivalente. Por ejemplo 325.74 es representado de la manera siguiente:

325.74 = 0011 0010 0101.0111 0100.

Hay una gran variedad de códigos que se pueden emplear para representar números decimales en binario, la tabla siguiente da dos de los más usados.

Dígito Decimal ----- -----	Código 8-4-2-1 BCD -----	Código Exceso-tres ----- -----
0	0000	0011
1	0001	0100
2	0010	0101
3	0011	0110
4	0100	0111
5	0101	1000
6	0110	1001
7	0111	1010
8	1000	1011
9	1001	1100

## 2.3 Representación de números negativos

Los números empleados en cálculos requieren contener un signo y su magnitud. Para representar el signo generalmente se emplea el bit más a la izquierda, un cero para el más y un uno para el menos. Para representar un número binario con signo en un registro, necesitamos  $n+1$  bits;  $n$  bit para el número y un bit para el signo.

En el sistema binario, si un número es positivo el signo es representado por un cero y la magnitud por el valor absoluto del número. Cuando es negativo el signo se representa por un uno, pero el resto del número se puede representar de tres maneras diferentes. Las cuales se conocen como:

- a) Signo y magnitud.
- b) Complemento a la base-1.
- c) Complemento a la base.

El sistema signo y magnitud es similar al que la gente usa comunmente. Para una palabra de  $n$  bits en este sistema, el primer bit es el signo y los siguientes  $n-1$  bits representan la magnitud del número. Por eso una palabra de  $n$  bits puede representar  $2^{n-1}$  números enteros positivos o negativos, siendo el mayor número que se puede representar dado por:

$$N = 2^{n-1} - 1.$$

Con una palabra de 8 bits se pueden representar  $2^{8-1} = 2^7 = 128$  números, siendo el mayor de ellos el 127, el cual se obtiene por medio de  $2^7 - 1$ .

Los complementos son usados para representar números negativos en la computadora debido a que facilitan el diseño de las unidades aritméticas. El complemento a la base-1, que representaremos como  $N'$ , de un número entero positivo  $N$  cuando se usan palabras de longitud  $n$ , está dado por la relación siguiente:

$$N' = (2^n - 1) - N \quad (2.1)$$

Cuando se usan números binarios, el complemento a la base-1 se le conoce como 1 complemento. Una manera rápida de obtener el 1 complemento es complementar todos los bits del número, reemplazando ceros con unos y unos con ceros. Esto es equivalente a la definición, ya que  $2^n - 1$  consiste de puros unos, y si restamos un bit de uno, es lo mismo que complementar el bit. Por ejemplo si  $n=4$  y  $N=3$ ;  $-N$  se representa como:

$$\begin{array}{r} 2^4 - 1 = 1111 \\ N = 0011 \\ \hline N' = 1100 \end{array} \longrightarrow -3 \text{ en 1 complemento.}$$

En 2 complemento, un número positivo es representado por un cero seguido por la magnitud del número como en el sistema signo y magnitud; si el número es negativo,  $-N$ , es representado por su 2 complemento, que nosotros representaremos por  $N^{\wedge}$

El 2 complemento de un entero positivo  $N$  se define como:

$$N^{\wedge} = 2^n - N \quad (2.2)$$

Para  $n=4$  y  $N=3$ ;  $-N$  se representa como:

$$\begin{array}{r} 2^n = 10000 \\ = 00011 \\ \hline N^{\wedge} = 1101 \end{array} \longrightarrow -3 \text{ en 2 complemento.}$$

Una manera rápida de obtener el 2 complemento, es complementando N bit por bit y después sumarle 1. Este método lo demostraremos a continuación:

$$N^{\wedge} = 2^n - N = (2^n - 1 - N) + 1 = N' + 1.$$

Otra forma de hallar el 2 complemento es complementar todos los bits a la izquierda del primer 1 comenzando por la derecha. Si  $N=0101100 \implies N^{\wedge}=1010100$

De las ecuaciones 2.1 y 2.2 se tiene:

$$N = 2^n - N^{\wedge} \text{ y } N = (2^n - 1) - N'$$

Lo anterior nos dice que, dado un entero negativo representado por su 2 complemento ( $N^{\wedge}$ ), podemos obtener la magnitud del número sacando el 2 complemento de  $N^{\wedge}$ . De manera similar, para obtener la magnitud de un entero negativo representado por su 1 complemento ( $N'$ ) se toma el 1 complemento de  $N'$ .

#### 2.4 Representación alfanúmerica

Hay situaciones en el cual se requiere manejar datos que además de números pueden contener letras y caracteres especiales. La información que reúne esta característica es conocida como alfanúmerica. Incluye las 26 letras, los 10 dígitos decimales y algunos caracteres especiales, tales como +, =, -, /, \*, etc. Dicho conjunto puede contener 64, 128 o más caracteres. Para el primer caso, un código que contiene 6 bits se emplea para representar cada carácter; para el segundo caso se emplea un código de 7 bits. Uno de los códigos más empleado es el código ASCII. A continuación se dan para algunos caracteres:

<u>Carácter</u>	<u>Codico ASCII</u>
A	100 0001
B	100 0010
C	100 0011
D	100 0100
E	100 0101
F	100 0110
.	... ..
.	... ..
0	011 0000
1	011 0001
2	011 0010
3	011 0011
4	011 0100
5	011 0101
.	... ..
.	... ..
+	010 1011
)	010 1001
,	010 1100

## CAPITULO 3

### CIRCUITOS DIGITALES

#### Introducción

Las señales dentro de un circuito digital son manejadas por medios de dispositivos electrónicos llamados puertas lógicas. Las variables lógicas son representadas por voltajes de entrada y salida de puertas, que son identificados como 0 y 1 lógico

Las puertas operan entre dos niveles de voltaje, uno de los cuales sera ALTO (1 lógico) y el otro BAJO (0 lógico). Los niveles lógicos, correspondiente a lógica positiva se muestran en la figura 3.1. La región intermedia entre los dos rangos permitidos sólo es cruzada durante la transición de un rango al otro.

Los circuitos lógicos se clasifican en familias, teniendo cada una de ellas sus propias ventajas y desventajas. La selección de una familia lógica para una aplicación particular depende de las necesidades del sistema; como velocidad, costo, inmunidad al ruido, disipación de potencia, disponibilidad de funciones lógicas diferentes en la familia, etc.

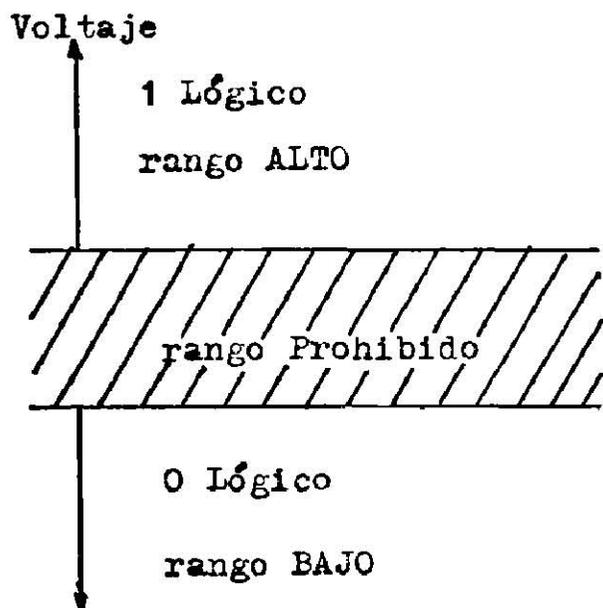


Fig.3.1 Convención para lógica positiva.

Las puertas lógicas se construyen generalmente en forma de circuitos integrados (CI), donde todos los componentes que forman una puerta, tales como transistores, resistencias y diodos son construidos sobre una pequeña lámina de material semiconductor que recibe el nombre de chip.

### 3.1 Puertas lógicas

Cada puerta es un circuito electrónico empleado para

ejecutar funciones lógicas y cuyas entradas y salidas están restringidas a un par de valores lógicos llamados 1 lógico y 0 lógico.

Toda puerta lógica tiene un símbolo que la identifica y su operación puede ser descrita por medio de una función algebraica. Todos los valores posibles de la función que describe una puerta lógica se presentan en forma de tabla, llamada tabla de verdad. Los nombres, símbolos gráficos, la función algebraica y la tabla de verdad de las puertas básicas son representadas en la figura 3.2.

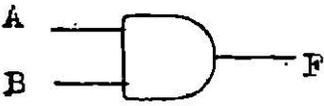
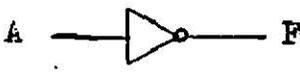
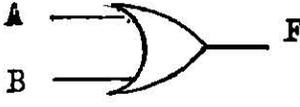
Nombre	Símbolo gráfico	Función algebraica	Tabla de verdad															
AND		$F=A*B$	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>F</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	F	0	0	0	0	1	0	1	0	0	1	1	1
A	B	F																
0	0	0																
0	1	0																
1	0	0																
1	1	1																
NOT		$F=A$	<table border="1"> <thead> <tr> <th>A</th> <th>F</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	F	0	1	1	0									
A	F																	
0	1																	
1	0																	
OR		$F=A+B$	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>F</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	F	0	0	0	0	1	1	1	0	1	1	1	1
A	B	F																
0	0	0																
0	1	1																
1	0	1																
1	1	1																

Fig. 3.2 Puertas lógicas.

La función dada para cada puerta en la figura 3.2 da la

salida de acuerdo a los valores presentes en las entradas.

En la figura 3.3 se muestra un transistor bipolar trabajando como una puerta inversora. El circuito es muy sencillo, pero muestra características importantes comunes a todas las familias lógicas.

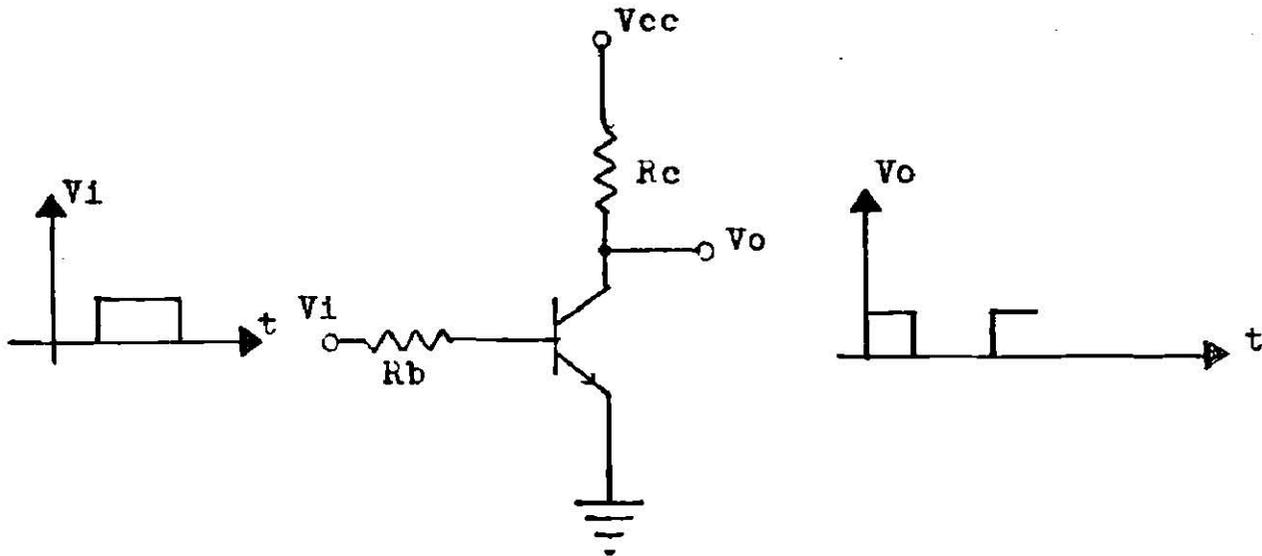


Figura 3.3 Transistor bipolar trabajando como inversor.

El inversor (puerta NOT), se encuentra disponible en cada una de las familias lógicas. La salida del circuito, como se ve en la figura 3.3, es el inverso de lo que entra. Si la entrada es un 1 lógico la salida será un 0 lógico.

En el circuito mostrado en la fig. 3.3 la corriente que fluye desde el colector (C) al emisor (E), es controlado por el voltaje  $V_i$  aplicado a la base (B). Cuando la entrada  $V_i$  es 0 volts, el transistor está en corte y no fluye corriente a

través de  $R_c$ , siendo  $V_o$  igual a  $V_{cc}$ . Cuando  $V_i$  esta a un nivel adecuado de voltaje, digamos  $V$ , la corriente de base alcanza un valor que hace entrar al transistor en saturación y  $V_o$  sera aproximadamente igual a cero. Por lo anterior, la operación del circuito es equivalente a un interruptor que esta abierto (OFF), cuando  $V_i$  es cero y cerrado (ON), cuando  $V_i$  es  $V$ . Esto se ve en la fig. 3.4.

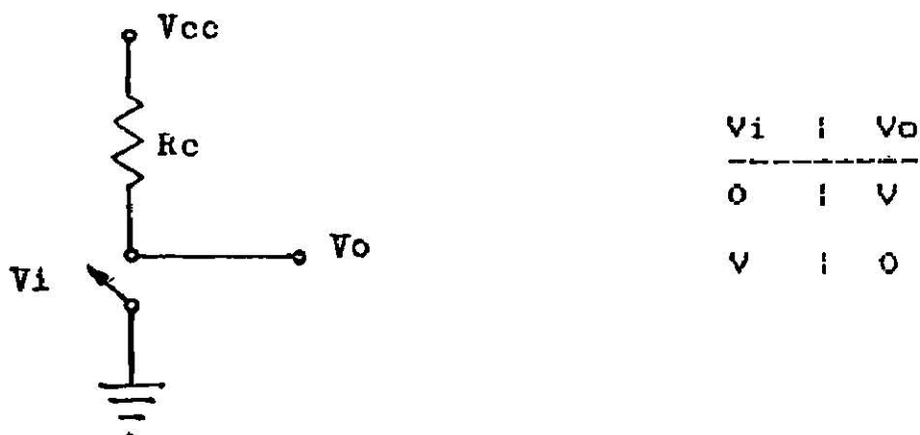


Figura 3.4 Interruptor lógico

La especificaciones de un inversor tipico incluyen los niveles de voltaje siguientes.

$V_{ih}$  = minimo voltaje de entrada a la puerta que sera reconocido como un 1 lógico.

$V_{il}$  = máximo voltaje de entrada a la puerta que sera reconocido como un 0 lógico.

$V_{oh}$  = minimo voltaje en la salida de la puerta cuando hay un 1 lógico.

$V_{ol}$  = máximo voltaje en la salida de la puerta cuando hay un 0 lógico.

Todos los valores de voltajes máximos y mínimos se dan en la

característica de entrada-salida mostrada en la figura 3.5.

Cuando la señal de entrada  $V_i$  es menor que  $V_{iL}$  (0 lógico) ,el fabricante de la puerta garantiza que la salida  $V_o$  sera mayor que  $V_{oH}$  (1 lógico) en el peor caso.Cuando el voltaje de entrada excede  $V_{iH}$  (1 lógico), tambien garantiza, que la salida sera menor que  $V_{oL}$  (0 lógico),en las condiciones del peor caso.Se puede resumir lo anterior diciendo que el dispositivo no operara en la región sombreada de la figura 3.5.

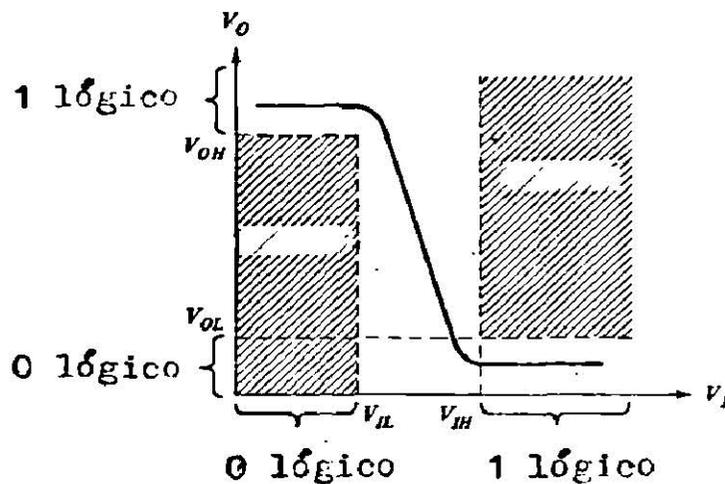


Figura 3.5 Compuerta NOT.Característica entrada-salida.

Los voltajes  $V_{iL}$ ,  $V_{iH}$ ,  $V_{oL}$  y  $V_{oH}$  son especificados para niveles de corrientes de entrada y salida que no excedan  $I_{iL}$ ,  $I_{iH}$ ,  $I_{oL}$  y  $I_{oH}$  respectivamente.

En la figura 3.6 se muestra un inversor construido con tecnología MOS.

En su construcción se emplean dos transistores en vez de un

transistor y una resistencia como en el inversor construido con transistores bipolares. Los transistores  $T_1$  y  $T_2$  mostrados en la figura 3.6 son el mando y la carga del inversor.

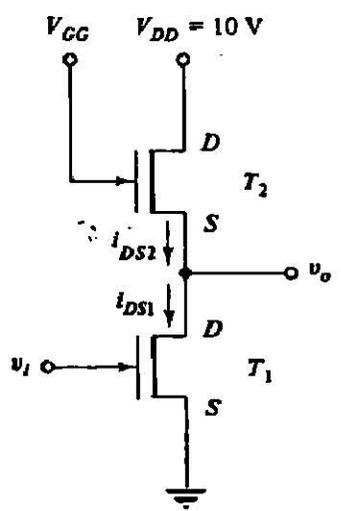


Figura 3.6 Inversor NMOS.

Otro tipo de inversor MOS es construido usando un CMOS o MOS complementario. El diagrama eléctrico se ve en la figura 3.7.

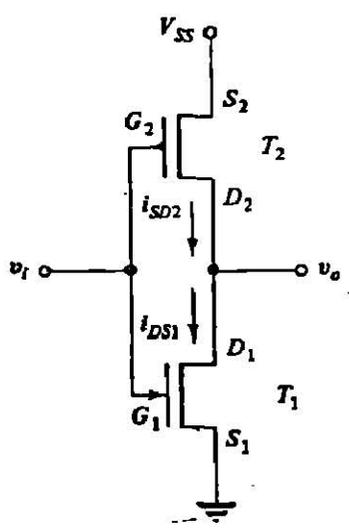


Fig. 3.7 Inversor CMOS.

En la construcción del transistor MOS complementario se unen transistores PMOS y NMOS en una estructura serie. Está actúa como un conmutador doble serie, y no ofrece un camino continuo a la corriente, lo que explica su poco consumo.

### 3.2 El circuito integrado (CI)

Es un pequeño trozo de material semiconductor llamado un chip, en el cual varios componentes eléctricos como diodos, resistencias, condensadores y transistores son construidos mediante técnicas especiales. Los componentes son conectados entre si, dentro del chip para formar un circuito electrónico completo. Después el chip es encapsulado y sus líneas de salida soldadas a conexiones externas.

En la actualidad los CIs son construidos usando dos técnicas: la monolítica y la híbrida. La forma monolítica es la que ya mencionamos anteriormente y en la cual el circuito es completamente integrado, es decir, el circuito completo se hace de una vez por medio de técnicas de difusión. En los circuitos híbridos, componentes monolíticos son interconectados para formar un sistema para luego ser empacados en un paquete único.

Las ventajas que ofrecen los circuitos integrados son:

- a) Tamaño reducido.
- b) El costo es menor.
- c) Menor requerimiento de potencia eléctrica.
- d) Incremento de la velocidad de operación.
- e) Reducción del cableado externo.

f) Alta confiabilidad.

### 3.2.1 Construcción de un transistor

El proceso de fabricación, figura 3.8, se inicia con una pequeña pastilla de silicio (a), en nuestro caso tipo P, con un espesor cercano a 0.015 cm. Este material es llamado sustrato. La pastilla es luego colocada en un horno con una atmosfera rica en oxigeno a una temperatura de 1200 grados centigrados. Este proceso produce una capa de óxido ( $\text{SiO}_2$ ) sobre la pastilla (b). A continuación se cubre la capa de óxido con un barniz fotográfico, fotosensible (c). Encima se coloca una mascara (c) que representa el esquema a realizar. La pastilla enmascarada es expuesta a la luz (d). La superficie no protegida por las zonas opacas de la máscara son alcanzadas por la luz y se polimerizan. El barniz no polimerizado (endurecido) así como el  $\text{SiO}_2$  correspondiente son removidos (d) usando un solvente.

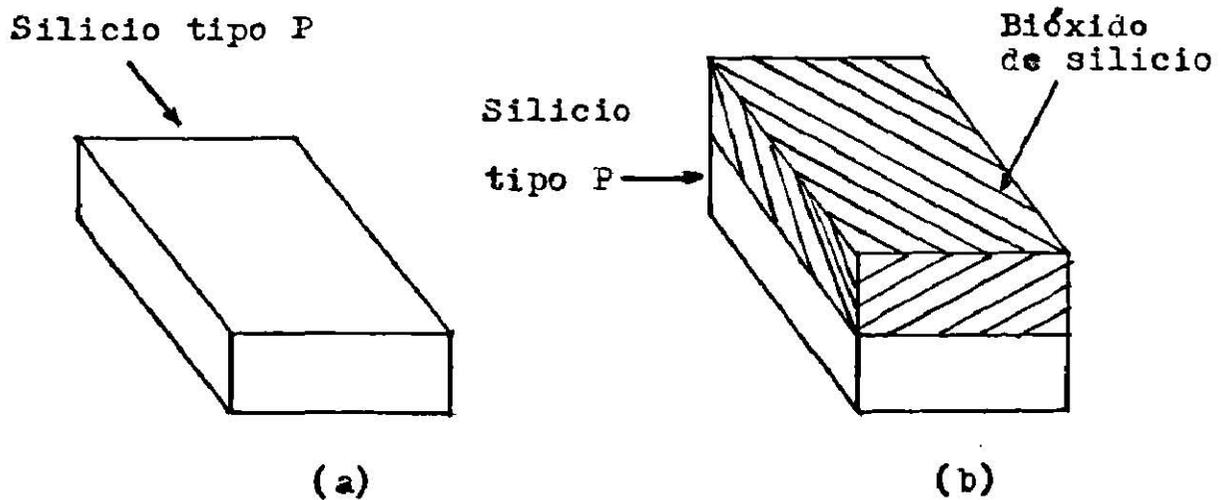


Fig.3.8 Construcción de un transistor. Proceso (a) y (b)

La pastilla es luego colocada en un horno a alta temperatura y expuesta a un contaminante como el arsénico para producir un dopado tipo N, trayendo como consecuencia una región N (e) densamente dopada, llamada N. Una capa N es formada ahora encima de la capa N pasando sobre ella un gas conteniendo impureza tipo N para formar el colector, figura 3.9.

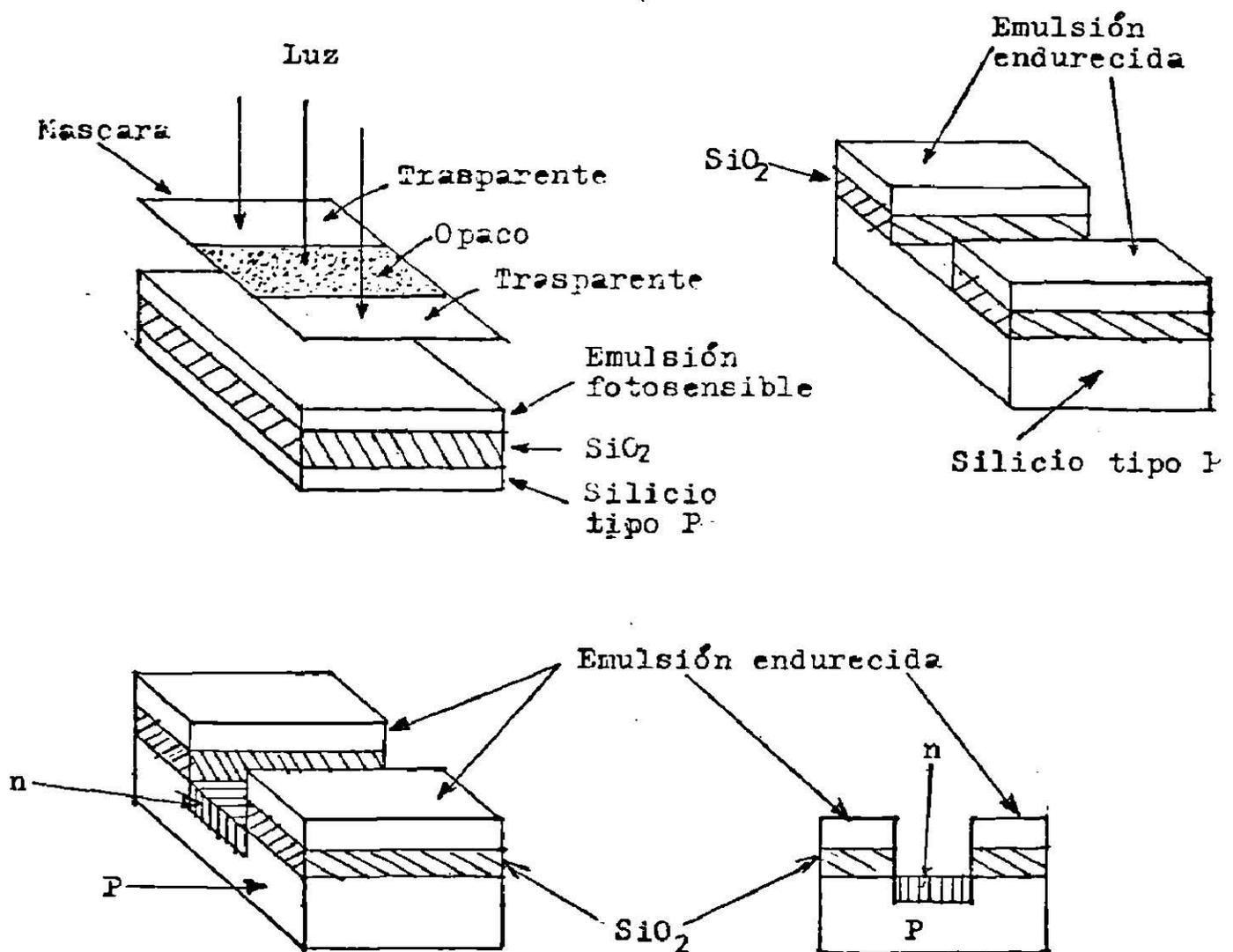


Fig 3.8 Construcción de un transistor. Proceso (c), (d) y (e). Para formar la base del transistor, una difusión tipo P es

aplicada, figura 3.9. Una difusión adicional, figura 3.10, tipo N es aplicada para formar el emisor, terminando el proceso de difusión. Se aplica ahora una cubierta protectora de SiO<sub>2</sub> exceptuando los puntos donde se colocan los terminales metálicos para las conexiones del emisor, colector y base figura 3.10.

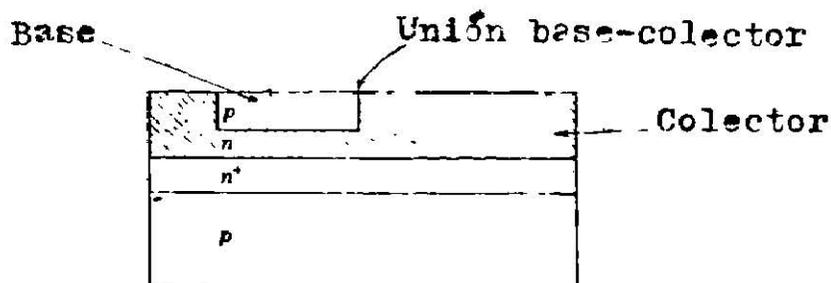


Fig. 3.9 Difusión de la base.

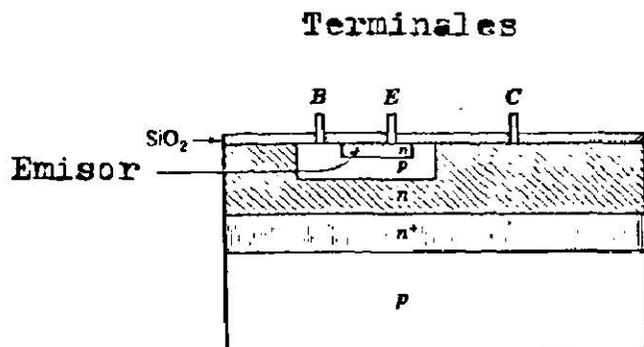


Fig 3.10 Difusión del emisor, cubierta protectora y colocación de terminales.

La interconexión de los terminales del emisor, base y colector determinan cuando el elemento es un transistor, diodo, resistencia o capacitor.

Cada pastilla de material es un disco de aproximadamente 2.5 cm. de diametro, luego es dividido en cuadros o rectangulos llamados chip. Cada chip forma un circuito completo. Cada pastilla puede contener de 300 a 400 circuitos completos. En la práctica las mascararas son cortadas de tal manera que todos los elementos del circuito deseado son formados al mismo tiempo.

### 3.3 Familias lógicas

Cada familia lógica tiene su propio circuito electrónico básico sobre el cual se desarrollan circuitos y funciones más complejas.

Entre las familias más importantes tenemos la TTL, ECL y MOS. Distinguiéndose cada una de ellas por un cierto número de características, las cuales enumeramos a continuación.

1.-Retardo de propagación, es el tiempo promedio invertido por la señal para ir desde la entrada a la salida de un dispositivo, cuando ella cambia su valor lógico.

La velocidad de operación de un dispositivo es inversamente proporcional al retardo de propagación. Para darnos cuenta de la importante que es el tiempo de retardo, veamos el siguiente circuito.

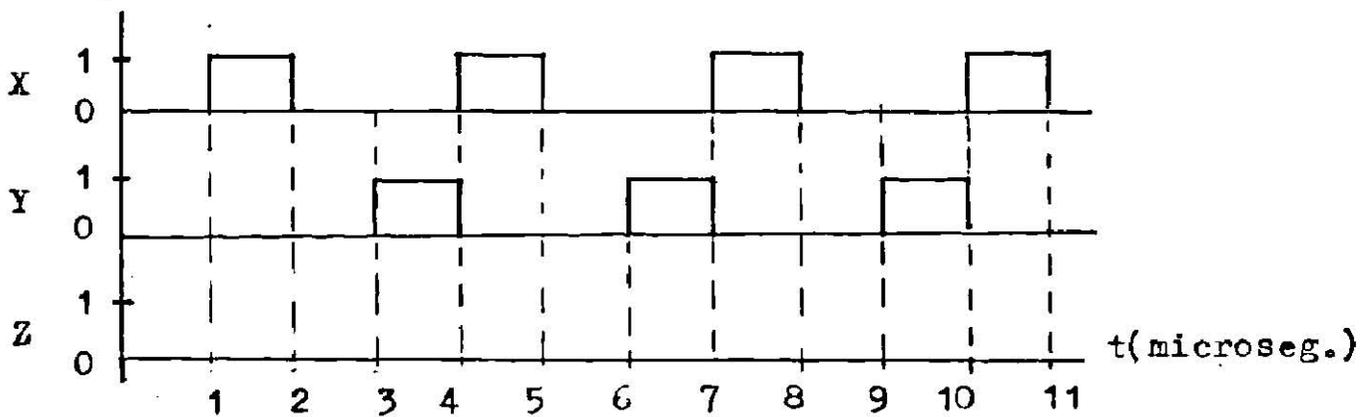
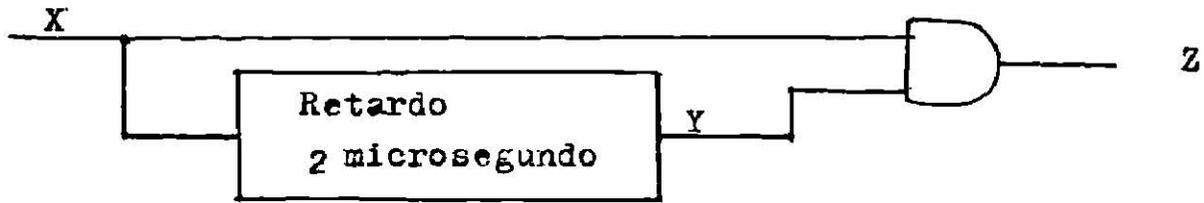


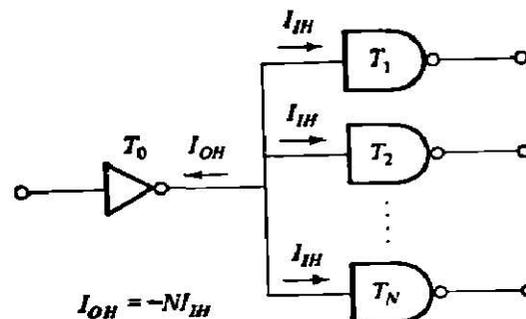
Fig 3.11 Circuito y diagrama de tiempo.

La salida Z del circuito anterior siempre sera BAJO (cero lógico), debido a que el dispositivo que da la salida Y, tiene mucho retardo, impidiendo que las señaes en la entrada de la puerta AND sean simultaneas (coincidan). Como resultado tenemos un circuito que no opera correctamente.

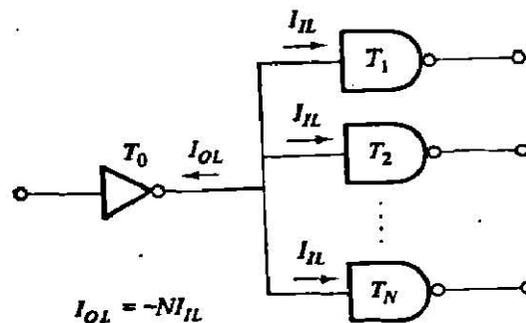
2.-Consumo de potencia , que generalmente se da en mW y representa la potencia consumida por la puerta. Los circuitos que tienen mayor consumo de potencia se prestan menos a LSI (integración a gran escala), debido a que hay que asegurar la

disipación de calor. Tampoco se prestan a operar en equipos portátiles, pues rápidamente agotan la fuente de energía.

3.-Fan-out, representa para una puerta, el número de cargas que pueden ser conectadas a su salida sin perjudicar su operación normal. En la figura 3.12,  $T_0$  es el mando y  $T_1$  a  $T_n$  son las puertas de carga. El número de puertas  $n$  es llamado el fan-out y el límite sobre  $n$  es determinado por los valores tolerables de  $V_{il}$ ,  $I_{il}$ ,  $V_{ih}$ ,  $I_{ih}$ ,  $V_{ol}$ ,  $I_{ol}$ ,  $V_{oh}$  e  $I_{oh}$ .



(a)



(b)

Fig. 3.12 Fan-out. (a) Con  $V_o$  en nivel ALTO. (b) En nivel BAJO.

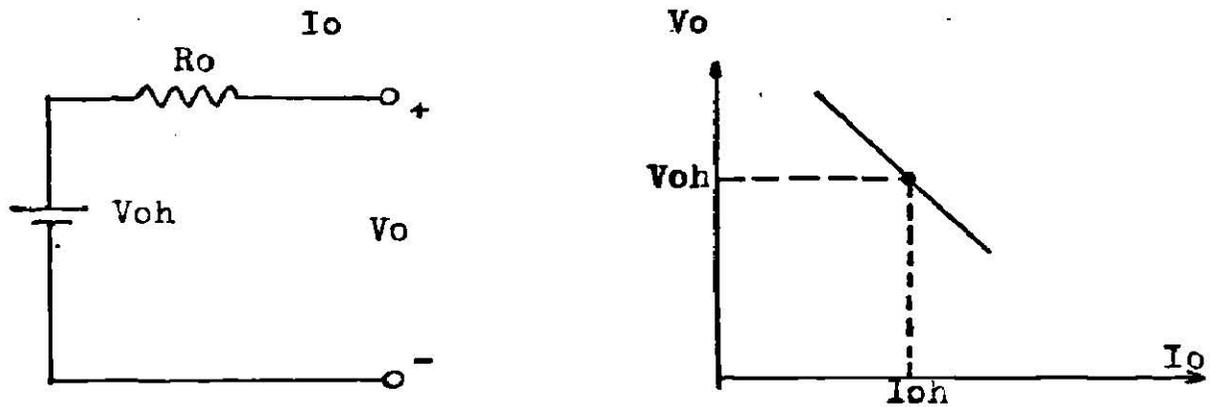


Fig.3.13 Efecto del incremento de la corriente de carga.

Si la salida de la puerta  $T_o$  es ALTO, cualquier incremento del fan-out también incrementa la corriente que debe ser suplida por la puerta. En la figura 3.13, vemos que al subir la corriente el voltaje de salida baja. Por lo tanto, si el fan-out es incrementado más allá del valor  $N$  recomendado por el fabricante, la corriente excede a  $I_{oh}$  y el voltaje de salida  $V_o$  puede caer por debajo de  $V_{oh}$ . Decresiendo el margen de ruido por debajo del valor dado por el fabricante, lo que hace al estado lógico de la puerta más sensible a interferencias externas.

4.-Margen de ruido, representa el mínimo voltaje (señal) de ruido que puede causar un cambio de estado en la salida de un circuito

En la práctica las señales de ruido siempre están presentes y pueden ser generadas internamente en el mismo circuito o por fuentes externas a él. Si un pulso de ruido de suficiente

amplitud aparece en la entrada de una puerta, puede hacerla cambiar de estado, lo que produce una señal lógica falsa a la salida.

El margen de ruido se ilustra gráficamente en la figura 3.14, para un circuito conteniendo dos puertas idénticas.

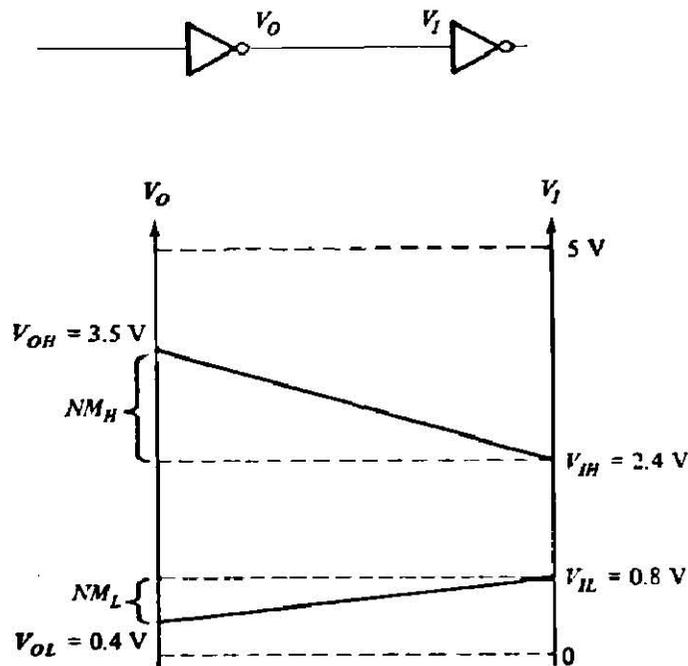


Figura 3.14 Diagrama ilustrando el margen de ruido.

Para que la puerta mandada P2, de la figura 3.14 reconozca con seguridad la salida  $V_o$  de la puerta de mando P1, cuando se encuentre a un nivel BAJO, como cero lógico, debemos tener  $V_{ol} < V_{il}$ , en consecuencia el margen de ruido de entrada en el nivel BAJO,  $NM_L$  es definido como la diferencia entre la entrada de bajo nivel  $V_{il}$  de la puerta mandada y la salida de bajo nivel  $V_{ol}$  de la puerta de mando, por eso:

$$NM_L = V_{il} - V_{ol}$$

Para que la puerta mandada P2, sea capaz de reconocer con seguridad la salida  $V_o$ , de la puerta de mando P1, cuando se encuentre a un nivel ALTO, como 1 lógico, se debe tener  $V_{oh} > V_{ih}$ . En consecuencia el margen de ruido a nivel alto NMh, se define como:

$$NMh = V_{oh} - V_{ih}$$

El margen de ruido en estado bajo representa la amplitud del voltaje de ruido positivo, que al sumarse a la salida  $V_o$  de la puerta de mando puede causar que el voltaje  $V_i$  de la siguiente etapa exceda el umbral  $V_{il}$  y cause una conmutación falsa de la puerta. De manera similar, el margen de ruido en estado alto representa la amplitud de voltaje negativo de ruido que al sumarse a  $V_o$  puede causar que  $V_i$  de la siguiente etapa caiga por debajo de  $V_{ih}$ , y causar una conmutación falsa de la puerta.

Lo siguiente debe quedar claro, si el margen de ruido es grande, el sistema es menos susceptible a un falso disparo debido al ruido y por eso, es más seguro.

En la práctica se emplean varios métodos para evitar y prevenir los efectos de las ondas de ruido, los más empleados son:

- 1.- Blindajes metálicos para proteger las partes del circuito sensible a los efectos del ruido.
- 2.- Conectar a tierra todas las partes del sistema que puedan conducir ondas de ruido.

3.- Desacoplar los bloques transmisores y receptores de señales por medio de capacitores.

### 3.3.1 Lógica transistor transistor (TTL)

En la figura 3.15 se muestra la puerta básica de la familia TTL, consistiendo de un transistor multiemisor de entrada T0 y uno de salida T1. Para analizar su funcionamiento, supongamos que la entrada VA es BAJA (VA=0.2 volt.), con esto, la unión base-emisor de T0 se polariza en forma directa y la corriente fluye desde Vcc a través de R, luego a través de la unión base-emisor y finalmente sale por VA. El voltaje de la base de T0 es:

$$V_{b0} = V_{be0} + V_A = 0.7 + 0.2 = 0.9$$

Para que T1 conduzca, se requiere que se cumpla lo siguiente:  $V_{be1} + V_{bc0} = 0.7 + 0.7 = 1.4$  v. (0.7 es el voltaje de umbral para una unión hecha con silicio). Lo anterior indica que el voltaje actual, 0.9 voltios, no es suficiente para que la unión base-colector de T0 y la unión base-emisor de T1 entren en conducción. Como T0 está saturado (conduce) su voltaje emisor-colector es aproximadamente 0.2 voltios y  $V_{b1} = V_{ce,sat} + V_A = 0.2 + 0.2 = 0.4$ . Como se requiere que  $V_{b1}$  sea 1.4 voltios, T1 no conduce y  $V_o$  es aproximadamente igual a  $V_{cc}$ . Lo que implica que  $V_o$  es ALTO ( $V_o = 1$  lógico). Este resultado es verdadero mientras cualquiera de las entradas sea BAJA. De lo anterior concluimos que el circuito efectúa la función NAND, es decir  $V_o = (V_A * V_B)'$ .

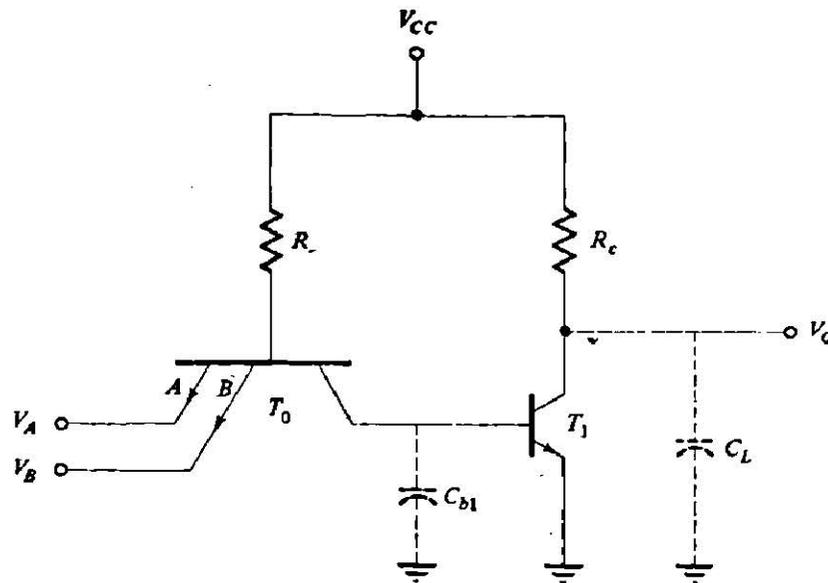


Fig. 3.15 Puerta básica TTL.

Hay varias versiones (series) de la puerta TTL, en la tabla siguiente se dan los nombres de 5 versiones junto con los valores correspondientes de retardo de propagación y disipación de potencia para cada versión, además se da el nombre abreviado de cada serie.

Nombre	Retardo de propagación	Disipación de potencia
Estandar (TTL)	10 ns	10 mW
Baja potencia (LTTL)	33 ns	1 mW
Alta velocidad (HTTL)	6 ns	22 mW
Schottky (STTL)	3 ns	19 m
Schottky baja potencia (LSTTL)	9.5 ns	2 mW

Cada una de las cinco versiones TTL viene en una de tres configuraciones para el circuito de salida, referidas como:

1.-Salida colector abierto.

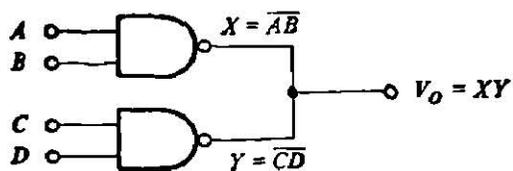
2.-Salida totem pole.

3.-Salida de tres estado.

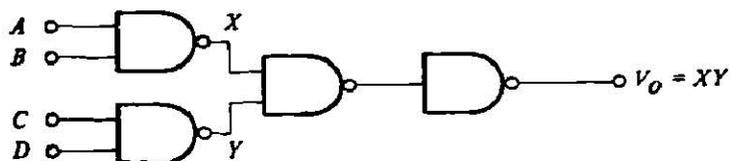
Cada uno de los circuitos de salida tienen sus propias ventajas y desventajas. Que sea empleado uno de ellos para una aplicación, depende de las necesidades y limitaciones presentes en el diseño.

La salida colector abierto, permite que la salida de dos o más puertas puedan conectarse a un punto común, formando una función externa a las puertas llamada Wire-AND. Lo anterior se muestra en la figura 3.16(a), para dos puertas NAND. En este circuito, cuando una salida de una de las puerta es BAJA, independientemente de la salida de la otra, la salida  $V_o$  es BAJA. Solamente cuando ambas salidas esten a un nivel ALTO la salida  $V_o$  sera ALTO (1 lógico). En la figura 3.16(b), se implementa el mismo circuito con puertas estandar y se ve que es necesario emplear más puertas para realizarlo. No se recomienda la conexión Wire-AND, para puertas estandar (salida totem pole).

No siempre es posible emplear la conexión Wire-AND en una aplicación debido a que hay varios factores que deben ser considerados, más adelante se indicaran algunos.



(a)



(b)

Fig.3.16 (a) Conexión Wired-AND (b) Implementación empleando puertas estandar (salida totem pole).

En la figura 3.17, se muestra el circuito de una puerta NAND con colector abierto.

En la práctica, todos los colectores deben ser conectados juntos a un resistor común. El tamaño de la resistencia depende del número de colectores abierto, del fan-out requerido, del margen de ruido y de otros factores.

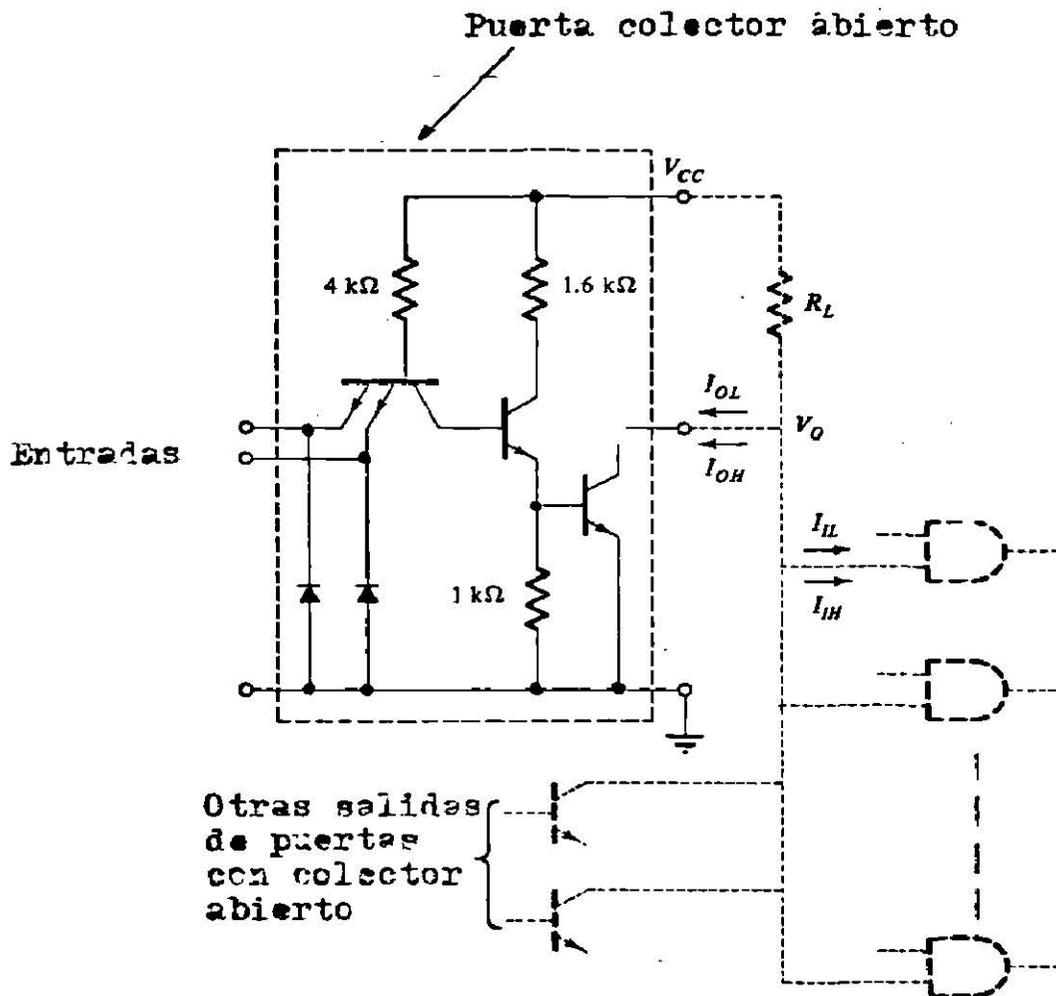


Fig. 3.17 Puerta NAND con salida colector-abierto.

Las desventajas que presenta la salida de colector abierto son:

- a) Requiere una resistencia externa.
- b) Es más lenta.

c) Presenta menos inmunidad al ruido.

d) Tiene menos capacidad para manejar carga capacitiva.

La salida totem-pole, es la salida estandar de la puerta TTL, es diseñada para reducir el retardo de propagación y proporcionar un fan-out grande. En el circuito de la figura 3.18 se emplea la salida totem-pole. Los transistores T1 y T2 forman un amplificador totem-pole, que además de tener resistencia baja de salida, actúa como un mando de potencia o etapa buffer de salida. T3 actúa como un divisor de fase.

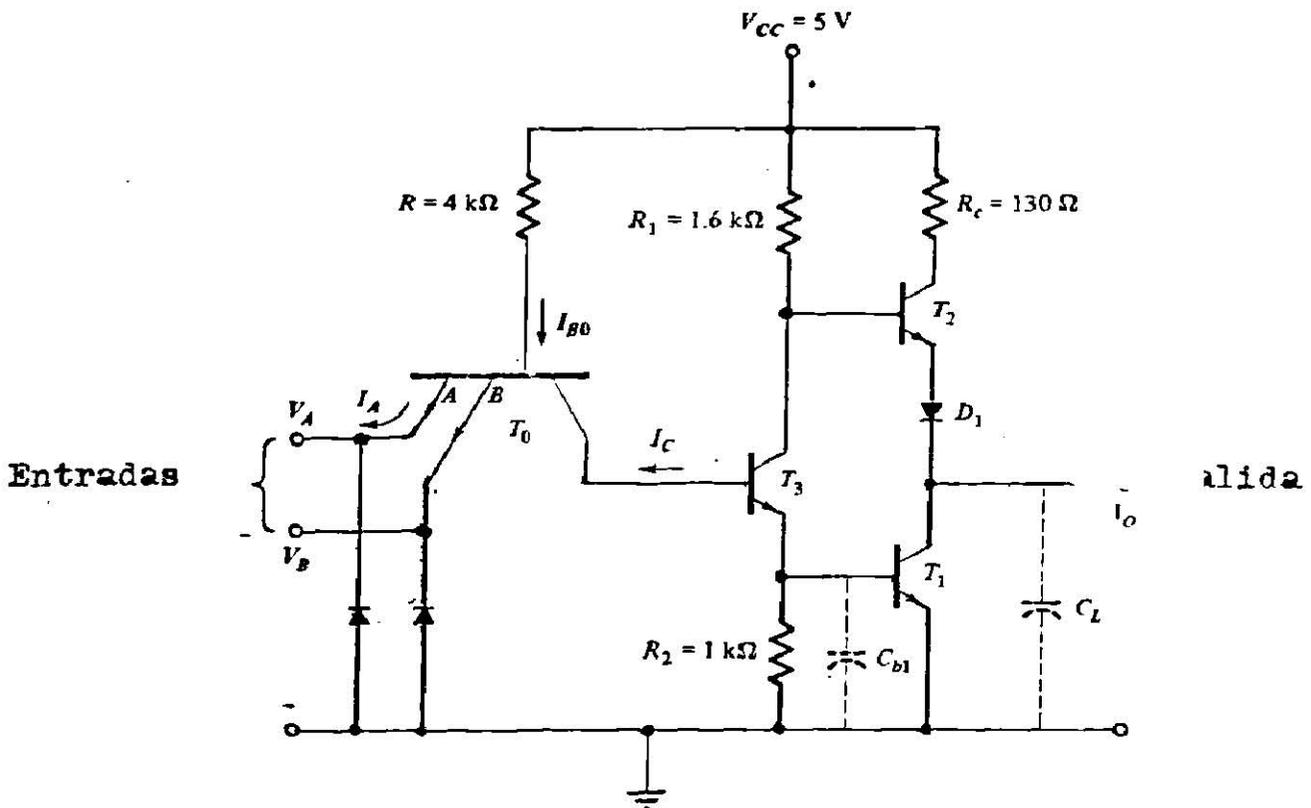
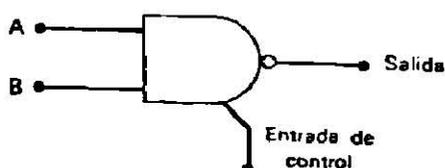


Fig. 3.18 NAND de dos entradas con salida totem-pole.

No es recomendable conectar las salidas totem-pole a un punto común para formar un Wire-AND, ya que si una salida de una de las puertas se encuentra a nivel ALTO, mientras las otras salidas están a nivel BAJO, la puerta con nivel ALTO tiene

que disipar una gran cantidad de potencia.

Las puertas con salida de tres estados presentan tres condiciones de salida. Dos de las salidas son señales equivalentes a 0 y 1 binario, similar a puertas normales. El tercer estado es uno de alta impedancia. Esto indica para proposito práctico que el circuito se comporta como si la salida se encuentra inhibida, como una consecuencia la salida no puede afectar o ser afectada por señales externas en sus terminales. Una puerta de tres estados se muestra en la figura 3. 19. Como se ve en la figura, el tercer estado es controlado por una entrada separada.



Control	Salida	Corrientes de entrada en A y B
BAJO (capacita)	Igual como en la compuerta convencional NAND. la salida va ABAJO sólo cuando A = B = ALTA.	$I_{IH} = 40 \mu A$ $I_{IL} = 1.6 mA$
ALTO (incapacita)	Transistores en poste totémico Q <sub>3</sub> y Q <sub>4</sub> ambos APAGADOS de modo que la salida es alta impedancia a V <sub>CC</sub> y tierra.	$I_{IH} = I_{IL} = 40 \mu A$

Fig.3.19 NAND de tres estados.

### 3.3.2 Lógica de emisor acoplada (ECL)

Los transistores en las puertas ECL operan en un estado llamado no saturado, lo que permite lograr un retardo de propagación de 1 a 2 ns. Entre todas las familias lógicas es

la más rápida.

En la figura 3.20, se muestra un circuito básico ECL. Cuando las entradas se encuentren a un nivel BAJO,  $T_4$  no conduce y  $V_o=0$ . Cuando una entrada está a un nivel ALTO, el transistor correspondiente conduce y su colector es BAJO, quedando  $T_4$  en corte  $V_o = 1$ . El circuito efectúa la función OR.

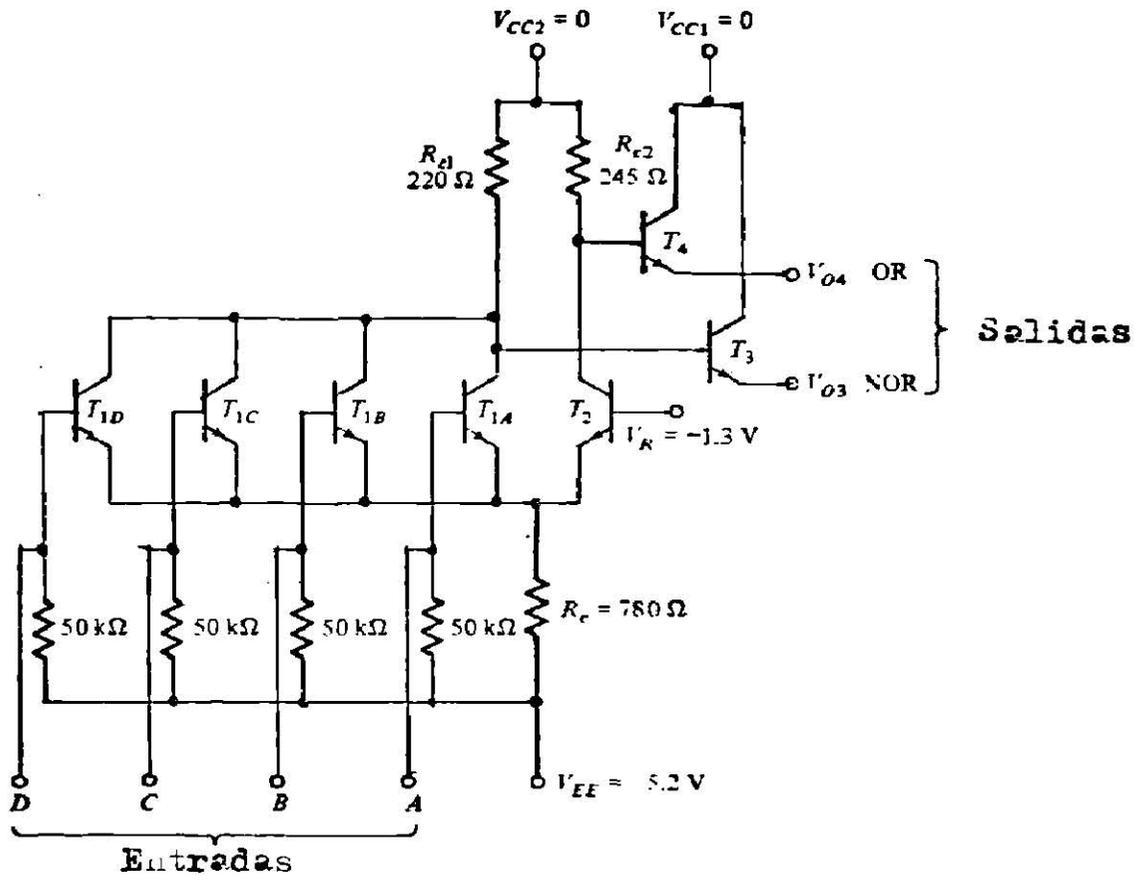


Fig. 3.20 Puerta OR-NOR ECL

### 3.3.3 Lógica de semiconductores complementarios de oxido de metal (CMOS)

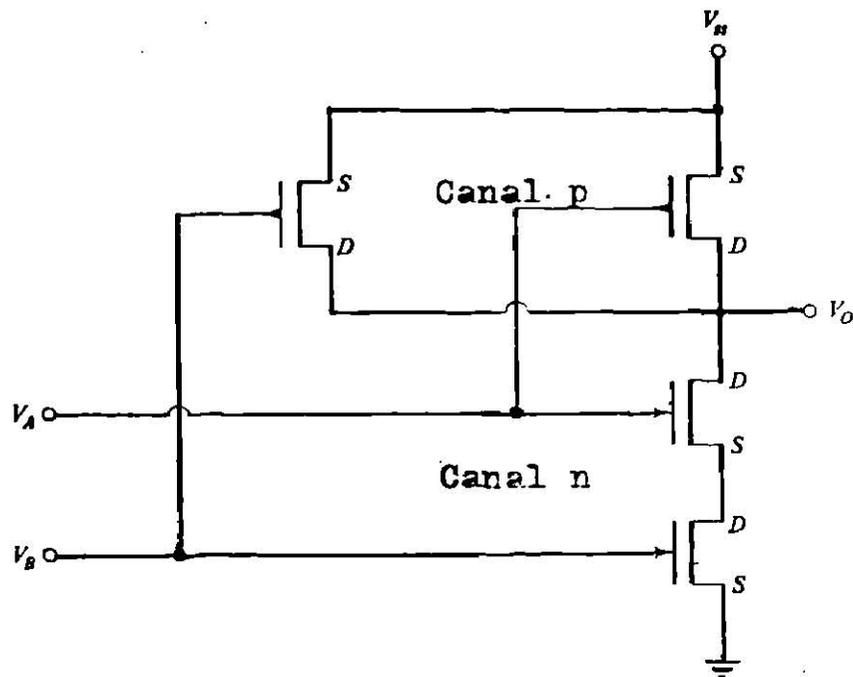
Los dispositivos MOS son considerablemente más lentos que los TTL y ECL, pero debido a lo simple de su geometria y a su

pequeño tamaño, ellos pueden ser empacados muy densamente en un chip de silicio. Esto permite integración a gran escala (LSI), en el cual miles de MOS contenidos en un circuito, ocupan una fracción de pulgada cuadrada. Estas puertas son empleadas en aplicaciones donde la velocidad no es un factor de primera importancia.

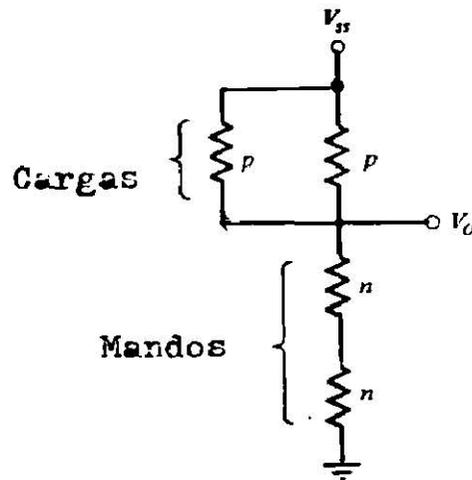
Otra ventaja de la lógica MOS es que debido a que sus entradas son puertas aisladas, la carga de corriente directa es mínima, permitiendo una capacidad de fan-out alta. También, la disipación de potencia es extremadamente pequeña debido a la naturaleza complementaria del circuito. Lo anterior es importante en muchas aplicaciones, por ejemplo en equipos portátiles.

En la familia CMOS, se encuentran disponible puertas NAND y NOR. El circuito de una NAND de dos entrada se muestra en la figura 3.21, consistiendo en dos transistores de mando canal N conectados en serie y dos transistores de carga canal P conectados en paralelo.

El circuito opera de la manera siguiente: si ambas entradas están a nivel BAJO, entonces ambos dispositivos canal P estarán conduciendo y los transistores canal N en corte, lo que implica que  $V_o$  es aproximadamente  $V_{ss}$ , correspondiente a un nivel ALTO. Aun cuando una sola entrada se encuentre a nivel BAJO, la salida permanece ALTA. Solamente cuando ambas entradas se encuentren a nivel ALTO, los transistores canal P se tornaran OFF y los canal N estarán ON.



(a)



(b)

Fig. 3.21 Puerta NAND CMOS. (a)Circuito (b)Cto. equivalente

### 3.4 Algebra booleana

Debido a que los circuitos digitales solo manejan dos niveles de voltaje, llamados 1 lógico y 0 lógico, se emplea para su análisis el álgebra booleana, en donde todas las variable sólo pueden asumir dos valores (falso, verdadero)

Las operaciones básicas del álgebra booleana son denominadas AND, OR y COMPLEMENTO.

La operación AND puede ser definida como sigue:

$$0 * 0 = 0$$

$$0 * 1 = 0$$

$$1 * 0 = 0$$

$$1 * 1 = 1$$

En la definición anterior el '\*' indica AND. La función AND puede ser escrita como  $C=A*B$ , donde A, B y C son variables booleanas.

El complemento de 0 es 1 y el complemento de 1 es 0. Simbólicamente se puede escribir  $0' = 1$  y  $1' = 0$ , donde " ' " denota complemento.

La operación OR se define como sigue:

$$0 + 0 = 0$$

$$0 + 1 = 1$$

$$1 + 0 = 1$$

$$1 + 1 = 1$$

En la definición anterior '+' indica OR. LA función OR puede ser escrita como  $C = A + B$ .

Una expresión booleana se forma a base de las funciones básicas descritas. Como ejemplo de una expresión tenemos:

$$F = [A*(C+D)]' + B$$

Cada expresión booleana corresponde a una malla de puertas lógicas, como se muestra a continuación para la expresión anterior.

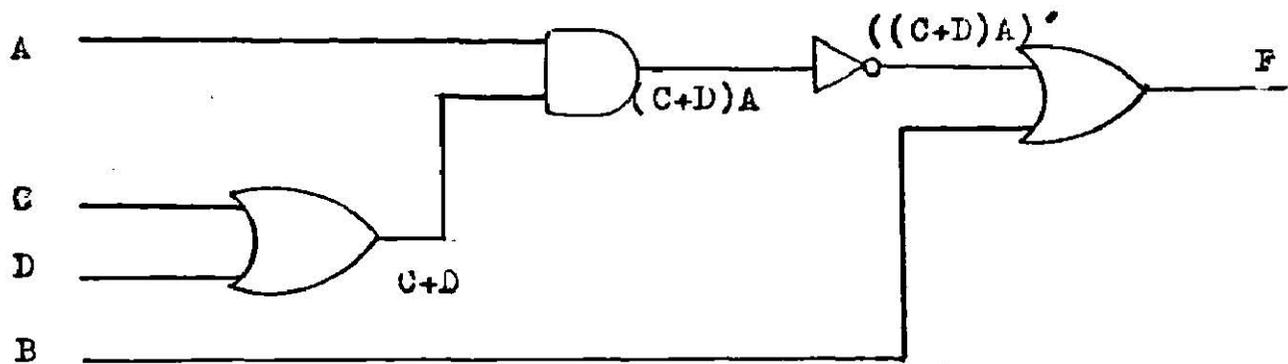


Figura 3.22 Malla para la expresión  $F = [A*(C+D)]' + B$

Una manera de evaluar una expresión booleana es usando una tabla como la que se da a continuación para la expresión anterior.

A	B	C	D	(C+D)	A(C+D)	[A(C+D)]'	B	F=[A(C+D)]'+B
0	0	0	0	0	0	1	0	1
0	0	0	1	1	0	1	0	1
0	0	1	0	1	0	1	0	1
0	0	1	1	1	0	1	0	1
0	1	0	0	0	0	1	1	1
0	1	0	1	1	0	1	1	1
0	1	1	0	1	0	1	1	1
0	1	1	1	1	0	1	1	1
1	0	0	0	0	0	1	0	1
1	0	0	1	1	1	0	0	0
1	0	1	0	1	1	0	0	0
1	0	1	1	1	1	0	0	0

1	1	0	0	:	0	:	0	:	1	:	1	:	1
1	1	0	1	:	1	:	1	:	0	:	1	:	1
1	1	1	0	:	1	:	1	:	0	:	1	:	1
1	1	1	1	:	1	:	1	:	0	:	1	:	1

Usando los teoremas del Álgebra booleana, es posible manipular una expresión lógica de varias maneras que son equivalentes entre si. Cada forma de presentar la expresión permite implementar un circuito que se ve diferente, pero, hace exactamente lo mismo que los equivalentes. Lo anterior es una gran ventaja para el diseño; permite entre otras cosas implementar el circuito con un único tipo de puerta o hacer un diseño con el mínimo de puertas.

A continuación se presentan los teoremas más importantes del álgebra booleana:

No.	Teorema	Nombre
=====		
1a	$A+B=B+A$	Ley conmutativa
1b	$A*B=B*A$	
2a	$(A+B)+C=A+(B+C)$	Ley asociativa
2b	$(A*B)*C=A*(B*C)$	
3a	$A*(B+C)=A*B+A*C$	Ley distributiva
3b	$A+(B*C)=(A+B)*(A+C)$	
4a	$A+A=A$	Identidad
4b	$A*A=A$	
5a	$A'=A'$	Negación
5b	$A''=A$	
6a	$A+A*B=A$	Redundancia
6b	$A*(A+B)=A$	
7a	$0+A=A$	
7b	$1*A=A$	

7c  $1+A=1$   
 7c  $0*A=A$   
 8a  $A'+A=1$   
 8b  $A'*A=0$

9a  $A+A'*B=A+B$   
 9b  $A*(A'+B)=A*B$

10a  $(A+B)'=A'*B'$  Leyes de Morgan  
 10b  $(A*B)'=A'+B'$

Como un ejemplo a continuación se emplean los teoremas del álgebra booleana para simplificar la expresión  $(A+B)*(A+C)$ .

$$\begin{aligned}
 (A+B)*(A+C) &= AA+AB+AC+BC && \text{----->Teorema 3a} \\
 &= A+AB+AC+BC && \text{----->Teorema 4b} \\
 &= A+AC+BC && \text{----->Teorema 6a} \\
 &= A+BC && \text{----->Teorema 6a.}
 \end{aligned}$$

### 3.5 Mapas de karnaugh

Los mapas de karnaugh proporcionan una técnica gráfica para reducir funciones lógicas a una forma mínima. Están formados por un arreglo de cuadros (celdas) colocados en dos dimensiones; contiene tantas celdas como combinaciones posibles de las variables existan o sea  $2^n$ , donde n es el número de variables de entrada. A continuación se presenta un mapa para dos variables.

	B	B = 0	B = 1
A			
A = 0			
A = 1			

En el mapa de karnaugh se encuentra la misma información que contiene la tabla de verdad de una función, pero arreglada de

una manera que permite una rápida simplificación por simple inspección. A continuación se da la equivalencia entre cada celda del mapa y cada entrada (renglón) de la tabla de verdad.

A \ B	0	1
0	A'B'	A'B
1	AB'	AB

A	B	Términos iguales a 1 en la ecuación
0	0	A'B'
0	1	A'B
1	0	AB'
1	1	AB

### 3.5.1 Representación de ecuaciones lógicas

Una ecuación booleana puede ser representada por una tabla de verdad o por medio de un mapa de karnaugh. A continuación veremos la representación de las siguientes ecuaciones:

a)  $F = A'B + AB'$

b)  $F = A'B'C + A'BC + ABC + AB'C + AB'C'$

c)  $F = A'B'CD' + ABCD + AB'C'D' + AAB'CD$

a)

A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

A \ B	0	1
0	0	1
1	1	0

b)

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

AB \ C	0	1
00	0	1
01	0	1
11	0	1
10	1	1

c)

A	B	C	D	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	0

		CD			
		00	01	11	10
AB	00	0	0	0	1
	01	0	0	0	0
	11	0	0	0	1
	10	1	0	1	0

=====> El mapa de Karnaugh como la tabla de verdad muestran la relación existente entre las variables de entrada y la salida de un circuito digital.

En los ejemplos dados vemos lo siguiente:

i) La tabla de verdad y el mapa proporcionan el valor de la salida F, para cada combinación de las variables de entrada. Cada cuadro o celda del mapa corresponde a una entrada de la tabla de verdad.

ii) Los cuadros del mapa se identifican de forma tal que sólo una variable cambia con respecto al cuadro anterior, ya sea vertical o horizontal.

iii) Como cada cuadro con un 1 representa el valor de un término AND de F para ese valor de las variables de entrada,

y cada término se encuentra presente en el mapa, es posible obtener de un mapa la expresión en suma de productos de F. Por ejemplo, para el mapa de 2 variables (ejemplo a), vemos que los cuadros que contienen un 1 son el A'B y AB', así que  $F = A'B + AB'$ .

### 3.5.2 Simplificación por medio de mapas de karnaugh

Lo útil de los mapas consiste en que celdas adyacentes que contienen un 1, pueden ser agrupadas (enlazadas) para eliminar variables redundantes. La(s) variable(s) que se elimina(n) es la que cambia de valor en el grupo de un cuadro a otro, o sea aquella(s) que aparece(n) complementada(s) y no complementada(s).

Como ejemplo, veamos la simplificación de las siguientes ecuaciones:

a)  $F = AB' + AB$

b)  $F = A'BC + ABC$

c)  $F = A'B'C + AB'C$

d)  $F = ABC'D + ABCD + AB'C'D' + AB'CD'$

e)  $F = A'B'C' + A'BC' + ABC' + AB'C'$

f)  $F = A'BC'D' + A'BC'D + A'BCD + A'BCD'$

g)  $F = A'BC'D; + A'BCD + ABC'D + ABCD$

h)  $F = A'BC'D' + A'BCD' + ABC'D' + ABCD'$

i)  $F = A'B'C'D' + A'B'CD' + AB'C'D' + AB'CD'$

J)  $F = A'B'C'D' + A'B'C'D + A'B'CD + A'B'CD' + AB'C'D' + AB'C'D + AB'CD + AB'CD'$

a)

A \ B	0	1
0	0	0
1	1	1

$$F = AB' + AB = A$$

=====> En el mapa hay dos unos que son adyacentes en forma horizontal, el primer uno representa el término  $AB'$  y el segundo, el término  $AB$ . Vemos que la variable  $B$  cambia de valor al ir de un cuadro al siguiente (en el primer cuadro del segundo renglón del mapa  $B = 0$  y  $A = 1$ , en el segundo cuadro del mismo renglón  $B = 1$  y  $A = 1$ , lo que significa que  $B$  cambia de valor y  $A$  se mantiene constante), lo que implica que  $B$  es redundante y debe ser eliminada.

El resultado obtenido con el mapa se puede probar como sigue:  
 $F = AB' + AB = A(B' + B) = A(1) = A$ .

Este principio es aplicable a cualquier par de unos adyacentes vertical o horizontalmente, y lo podemos anunciar diciendo:

=====> El enlace de un par de unos adyacentes en un mapa de karnaugh elimina la variable que aparece en forma complementada y no complementada.

b)

AB \ C	0	1
00	0	0
01	0	1
11	0	1
10	0	0

$$F = A'BC + ABC = BC$$

=====> Aquí se aplica lo dicho en el ejemplo a.

c)

AB \ C	0	1
00	0	1
01	0	0
11	0	0
10	0	1

$$F = A'B'C + AB'C = B'C$$

d)

AB \ CD	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	0	1	1	0
10	1	0	0	1

$$F = \underbrace{AB'C'D' + AB'CD'}_{\text{grupo 1}} + \underbrace{ABC'D + ABCD}_{\text{grupo 2}} = ABD + AB'D'$$

=====> Vemos en el ejemplo que las columnas en los extremos izquierdo y derecho son adyacentes.

e)

AB \ C	0	1
00	1	0
01	1	0
11	1	0
10	1	0

$$F = A'B'C' + A'BC' + ABC' + AB'C' = C'$$

El número de unos adyacentes en este ejemplo es de cuatro y para simplificar se aplica el criterio siguiente.

=====> El enlace de cuatro unos elimina las dos variables que aparecen complementadas y no complementadas en los cuadros enlazados

f)

AB \ CD	00	01	11	10
00	0	0	0	0
01	1	1	1	1
11	0	0	0	0
10	0	0	0	0

$$\begin{aligned}
 F &= A'BC'D' + AB'C'D \\
 &+ A'BCD + A'BCD' \\
 &= A'B
 \end{aligned}$$

=====> Para simplificar la función F, se aplico el criterio dado en el ejemplo e.

g)

AB \ CD	00	01	11	10
00	0	0	0	0
01	0	1	1	0
11	0	1	1	0
10	0	0	0	0

$$\begin{aligned}
 F &= A'BC'D + A'BC'D \\
 &+ ABC'D + ABCD \\
 &= BD
 \end{aligned}$$

=====> Se aplico el criterio dado en el ejemplo e.

h)

AB \ CD	00	01	11	10
00	0	0	0	0
01	1	0	0	1
11	1	0	0	1
10	0	0	0	0

$$\begin{aligned}
 F &= A'BC'D' + A'BCD' \\
 &+ ABC'D' + ABCD' \\
 &= BD
 \end{aligned}$$

=====> Se aplico el criterio dado en el ejemplo e.

i)

	CD	00	01	11	10
AB					
00		1	0	0	1
01		0	0	0	0
11		0	0	0	0
10		1	0	0	1

$$\begin{aligned}
 F &= A'B'C'D' + A'B'CD' \\
 &+ AB'C'D' + AB'CD' \\
 &= B'D'.
 \end{aligned}$$

=====> Se aplico el criterio dado en el ejemplo e.

j)

	CD	00	01	11	10
AB					
00		1	1	1	1
01		0	0	0	0
11		0	0	0	0
10		1	1	1	1

$$\begin{aligned}
 F &= A'B'C'D' + A'B'C'D + A'B'CD + A'B'CD' + AB'C'D' + AB'C'D \\
 &+ AB'CD + AB'CD' \\
 &= B'.
 \end{aligned}$$

=====> Ochos unos enlazados eliminan las tres variables que aparecen complementadas y no complementadas en el grupo.

Resumiendo todo lo anterior podemos dar las reglas siguientes:

Para un mapa de 2 variables

=====> 1) Un grupo de dos celdas adyacentes combinadas producen una sola variable.

=====> 2) Una celda que no puede ser combinada representa

un término de dos variables.

Para un mapa de 3 variables

=====> 1) Un grupo de 4 celdas adyacentes (en línea o cuadro) se combinan y permiten un término de una variable.

=====> 2) Un grupo de 2 celdas adyacentes se combinan y permiten un término de 2 variables.

=====> 3) Una celda que no puede ser combinada representa un término de 3 variables.

Para un mapa de 4 variables

=====> 1) Un grupo de ocho celdas adyacentes se combinan y permiten un término de una variable.

=====> 2) Un grupo de 4 celdas adyacentes se combinan y permiten un término de dos variables.

=====> 3) Un grupo de dos celdas adyacentes generan un término de tres variables.

=====> 4) Una celda que no pueda ser combinada produce un término de cuatro variables.

### 3.6 Circuitos combinacionales

El circuito combinacional lo podemos definir como un arreglo de compuertas lógicas. El circuito presenta la característica de que su salida depende de sus entradas presente y no de valores pasados. Un circuito combinacional puede ser descrito por una tabla de verdad mostrando la relación entre  $n$  entradas y  $m$  salidas. Para  $n$  variables de entrada hay  $2^n$  combinaciones posibles de valores de

entrada, correspondiendo a cada combinación una salida única. Esta relación se muestra en la tabla de verdad.

Un circuito combinacional también es descrito por  $m$  funciones de salida; las funciones se expresan en términos de las variables de entrada.

El diseño de un circuito combinacional se puede cubrir en tres etapas principales, las cuales son:

- 1) Hallar una función lógica que refleje el comportamiento del circuito.
- 2) Hallar una función algebraica simplificada para la función.
- 3) Implementar el circuito de tal manera que cumpla con la función simplificada.

Para problemas simples es posible obtener directamente una expresión para la función de salida. En otros casos es más práctico especificar la función por medio de una tabla de verdad y de ella derivar una expresión algebraica.

Como un ejemplo del diseño de un circuito combinacional veamos el siguiente:

Se tiene un sistema de enfriamiento que cuenta con dos bombas. La bomba 1 debe estar trabajando cuando la temperatura este arriba de  $T_1$ . Por otro lado, cuando la temperatura sube arriba de  $T_2$ , se requiere parar la máquina 1 y arrancar la 2, la cual tiene mayor capacidad. Cuando la máquina 2 tampoco puede con la carga térmica, entonces se debe arrancar la máquina 1, es decir cuando la temperatura este arriba de

T3(T3>T2>T1). Siempre debe circular agua de enfriamiento cuando las máquinas trabajen.

M1 = motor 1.

M2 = motor 2.

A = interruptor que indica que el agua esta circulando.

T1 = termostato 1.

T2 = termostato 2.

T3 = termostato 3.

Paso 1: Hallar las funciones

=====

A	T1	T2	T3	M1	M2
0	0	0	0	0	0
0	0	0	1	0	0
0	0	1	0	0	0
0	0	1	1	0	0
0	1	0	0	0	0
0	1	0	1	0	0
0	1	1	0	0	0
0	1	1	1	0	0
1	0	0	0	0	0
1	0	0	1	x	x
1	0	1	0	0	x
1	0	1	1	x	x
1	1	0	0	1	0
1	1	0	1	x	x
1	1	1	0	0	1
1	1	1	1	1	1

$$M1 = A \cdot T1 \cdot T2' \cdot T3' + A \cdot T1 \cdot T2 \cdot T3$$

$$M2 = A \cdot T1 \cdot T2 \cdot T3' + A \cdot T1 \cdot T2 \cdot T3$$

Paso 2: Simplificar las funciones  
=====

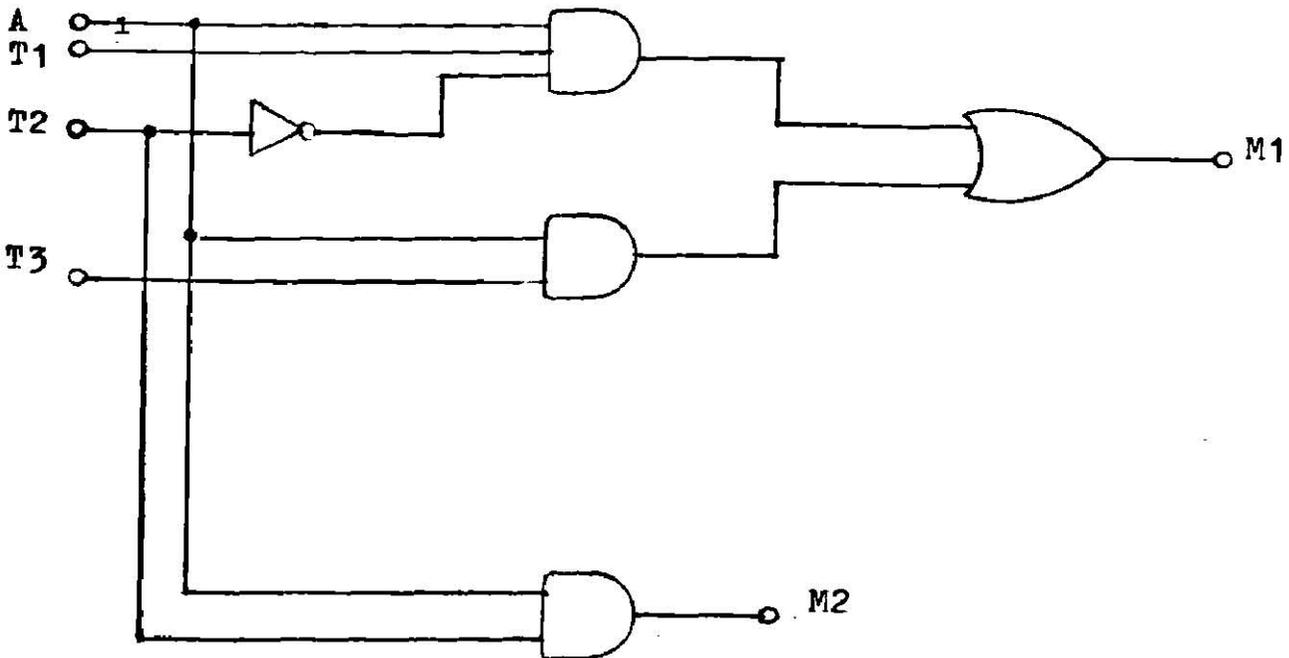
		T2 T3			
		00	01	11	10
A T1	00	0	0	0	0
	01	0	0	0	0
	11	1	x	1	0
	10	0	x	x	0

$$M1 = A \cdot T3 + A \cdot T1 \cdot T2'$$

		T2 T3			
		00	01	11	10
A T1	00	0	0	0	0
	01	0	0	0	0
	11	0	x	1	1
	10	0	x	x	x

$$M2 = A \cdot T2$$

Paso 3: Implementación del circuito  
=====



### 3.6.1 Decodificadores

Es un circuito lógico diseñado para convertir información binaria de un código a otro. Uno de los tipos más empleados genera  $2^n$  minterminos para  $n$  líneas de entrada. Este tipo de decodificador forma un circuito combinacional con  $n$  variables de entrada y  $2^n$  variables de salida. Para cada combinación de unos y ceros en su entrada solamente una línea de salida asume el valor de 1 lógico.

Para hacer su diseño, primero hacemos su tabla de verdad y después implementamos el circuito que cumpla con la tabla. En la figura siguiente se muestra un decodificador de 2 por 4.

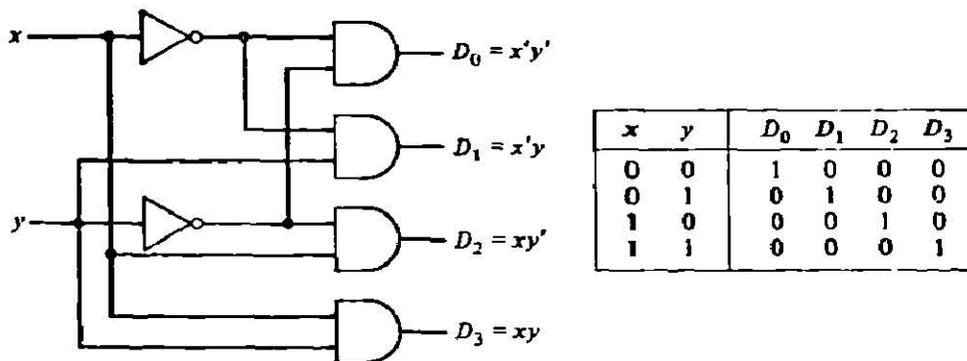


Fig 3.23 Decodificador de 2 por 4

### 3.6.2 El multiplexor.

Es un circuito combinacional que recibe información binaria de  $2^n$  líneas de entrada y transmite información sobre una línea única de salida. La línea de entrada seleccionada es determinada mediante la combinación de bits de  $n$  líneas de selección.

En general un multiplexor se construye desde un decodificador de  $n$  por  $2^n$ , pero añadiendo una línea de entrada a cada compuerta y llevando todas las salidas sobre una compuerta OR. El tamaño de un multiplexor es determinado por sus  $2^n$  líneas de entrada. Todo lo anterior implica que el multiplexor tiene una línea de salida y  $n$  líneas de selección. En la figura siguiente se muestra un multiplexor de 4 por 1.

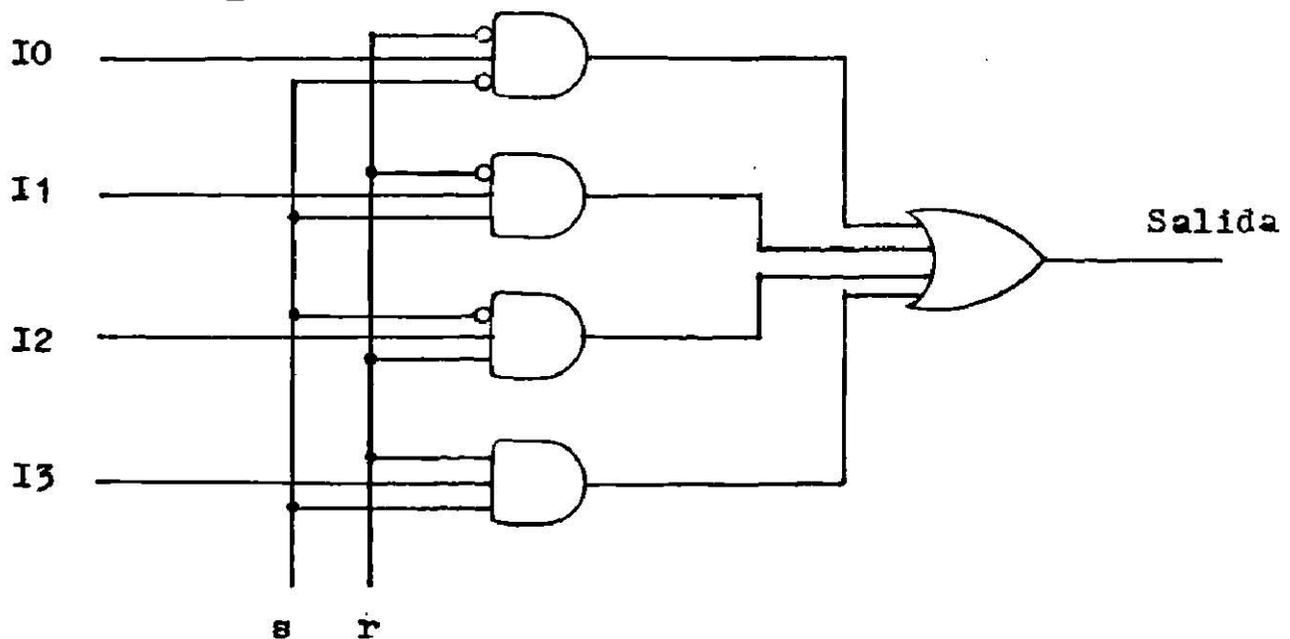


Figura 3.24 Multiplexor de 4 por 1.

### 3.7 El flip-flop

Es un dispositivo electrónico construido con puertas lógicas que puede almacenar un bit de información. Cuenta con dos salidas una para el valor normal y otra para el complemento del bit almacenado. Tiene dos estados en los cuales puede permanecer indefinidamente y entradas que permiten el cambio de estado por medio de señales externas. La característica más importante de un flip-flop es la de tener memoria, ya que, su salida depende no sólo de los valores presente en sus entradas, si no también de la secuencia de valores pasados. Hay varios tipos de flip-flops, los más comunes se describen a continuación:

#### 3.7.1 Flip-flop SR.

Está formado por 2 puertas que pueden ser NAND o NOR. En la figura 3.25 se muestra un SR. Si en un flip-flop SR, se restringen las entradas a que  $R=S=1$ , no está permitido; en estado estable Q y Q' serán siempre complementarios.

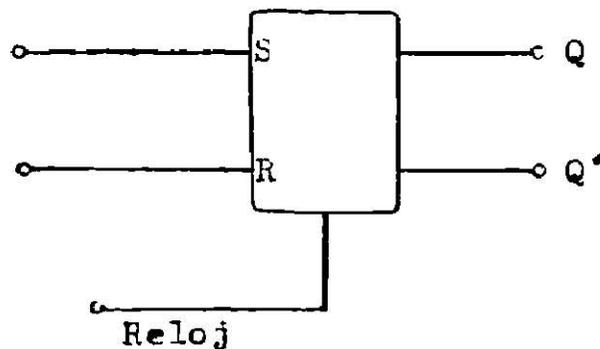
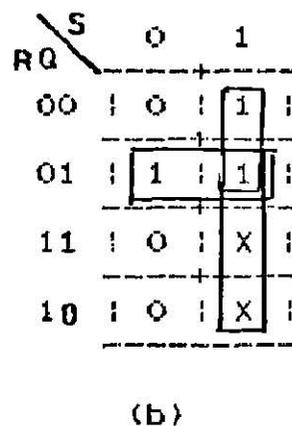


Fig. 3.25 Flip-flop SR.

S	R	Q	Q(t)
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	-
1	1	1	-

(a)



$$Q(t) = S + Q \cdot R'$$

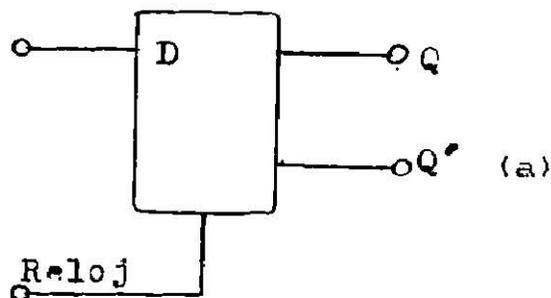
(c)

Fig. 3.26 Flip-flop RS. (a)Tabla de verdad. (b)Mapa. (c)Ecuación.

En la tabla de la fig. 3.26; Q es el estado actual y Q(t) es el siguiente estado. De la tabla de verdad se obtiene la ecuación que rige el comportamiento del flip-flop RS.

### 3.7.2 Flip-flop D

Se usa cuando es necesario tener señales retardadas por exactamente un ciclo de reloj. Se puede construir a partir de un flip-flop tipo SR. En la fig. 3.27 se muestra el diagrama la tabla y la ecuación de un flip-flop tipo D.



D	Q(t)	Q(t+1)
0	0	0
0	1	0
1	0	1
1	1	1

(b)

Fig.3.27 Flip-flop D (a) Símbolo (b) Tabla de verdad.

Q \ D	0	1
0	0	1
1	0	1

(a)

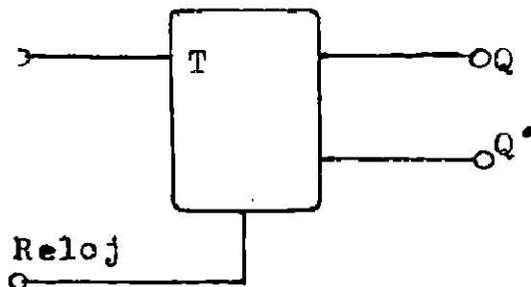
$$Q(t+1) = D$$

(b)

Fig. 3.28 Flip-flop D. (a) Mapa. (b) Ecuación.

### 3.7.3 Flip-flop T

Tiene una entrada única. El estado del flip-flop cambia si su entrada se encuentra a un nivel alto, como se muestra en su tabla. En caso contrario permanece en el mismo estado.



(a)

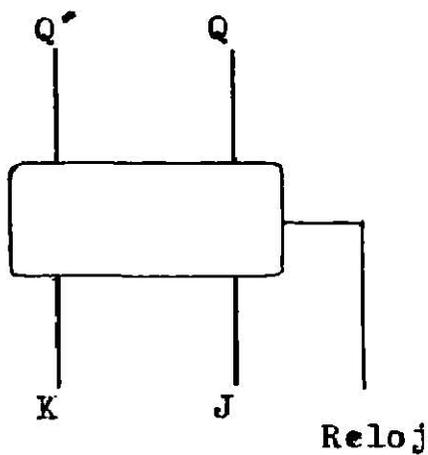
T	Q(t)	Q(t+1)
0	0	0
0	1	1
1	0	1
1	1	0

(b)

Fig. 3.29 Flip-flop T. (a) Símbolo. (b) Mapa.

### 3.7.4 Flip-flop JK

Es similar al SR, a excepción de que la condición de ambas entradas igual a uno si esta definida en el JK. En la figura 3.11 se muestra un flip-flop JK.



(a)

J	K	Q(t)	Q(t+1)
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

(b)

Fig 3.30 Flip-flop JK. (a) Simbolo. (b) Mapa.

### 3.7.5 Tablas de transición

Durante el proceso de diseño se requiere saber los valores de las entradas, para que un flip-flop pase de un estado a otro. Lo anterior se obtiene de una tabla de transición. Las tablas de transición para los cuatro tipos de flip-flop ya nombrados se dan a continuación:

Q(t)	Q(t+1)	S	R
0	0	0	x
0	1	1	0
1	0	0	1
1	1	x	0

(a)

Q(t)	Q(t+1)	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

(b)

Fig. 3.31 Tabla de transición para flip-flop (a) Tipo SR (b) JK

Q(t)	Q(t+1)	D
0	0	0
0	1	1
1	0	0
1	1	1

(a)

Q(t)	Q(t+1)	T
0	0	0
0	1	1
1	0	1
1	1	0

(b)

Fig. 3.32 Tablas de transición para flip-flops. (a) D, (b) T.

En cada tabla mostrada hay cuatro posibles transiciones del estado actual  $Q(t)$  al siguiente estado  $Q(t+1)$ . Las condiciones de entrada requeridas para cada transición son obtenidas de la tabla de verdad de cada flip-flop. El símbolo x en la tabla indica una condición 'no importa'. Cada renglon de la tabla da el valor de la entrada para ir de  $Q(t)$  a  $Q(t+1)$ .

### 3.8 Circuitos secuenciales

Son formados por flip-flop más una estructura de puertas lógicas, donde los valores de salida dependen de los valores presentes y de las secuencias de valores pasados que han ocurrido en la entrada.

Los fundamentos del diseño de circuitos secuenciales se mostraran a partir de ejemplos de diseño que se dan a continuación.

#### Ejemplo 1 :

Se quiere implementar un circuito que de como salida un 1 cuando la salida sea un uno siguiendo a exactamente dos unos seguidos por un cero.

El método a emplear para diseñar el circuito lo presentaremos a continuación:

i ) Hacer una tabla de estado.

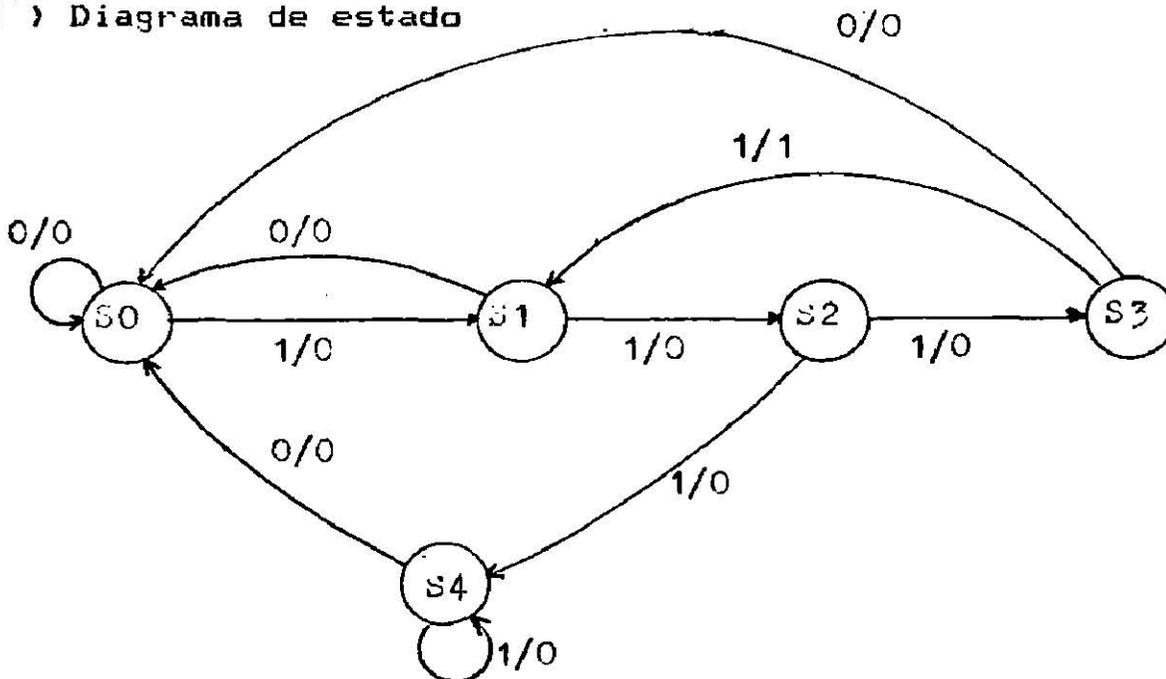
En muchos diseños, como en nuestro ejemplo es más fácil hacer primero un diagrama de estado.

ii ) Del punto 1 generar las funciones que cumplan con el diseño

iii ) Implementar el circuito.

=====

i ) Diagrama de estado



ii ) Tabla de estado

Estado presente	Estado siguiente		Salida presente	
	X = 0	X = 1	X = 0	X = 1
S0	S0	S1	0	0
S1	S0	S2	0	0
S2	S3	S4	0	0
S3	S0	S1	0	1
S4	S0	S4	0	0

Como hay cinco estados y un flip-flop puede representar dos estados, necesitaremos tres para el diseño. Emplearemos flip-flop tipo T para implementar el circuito.

Designemos a los flip-flop como A, B y C, y hagamos corresponder a cada estado una combinación de valores de los flip-flops de la manera siguiente:

Estado	Flip-flop		
	A	B	C
S0	0	0	0
S1	0	0	1
S2	0	1	0
S3	0	1	1
S4	1	0	0

A continuación haremos una nueva tabla con la equivalencia anterior.

Estado presente			Entrada al circuito	Estado siguiente			Entrada flip-flop			Salida
A	B	C	X	A	B	C	TA	TB	TC	Z
0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	1	0	0	1	0
0	0	1	0	0	0	0	0	0	1	0
0	0	1	1	0	1	0	0	1	1	0
0	1	0	0	0	1	1	0	0	1	0

0	1	0	1		1	0	0		1	1	0		0
0	1	1	0		0	0	0		0	1	1		0
0	1	1	1		0	0	1		0	1	0		1
1	0	0	0		0	0	0		1	0	0		0
1	0	0	1		1	0	0		0	0	0		0
1	0	1	0		x	x	x		x	x	x		x
1	0	1	1		x	x	x		x	x	x		x
1	1	0	0		x	x	x		x	x	x		x
1	1	0	1		x	x	x		x	x	x		x
1	1	1	0		x	x	x		x	x	x		x
1	1	1	1		x	x	x		x	x	x		x

De la tabla de estado obtenemos la función de entrada para cada flip-flop y para la salida Z.

AB \ CX	00	01	11	10
00	0	0	0	0
01	0	1	0	0
11	x	x	x	x
10	1	0	x	x

AB \ CX	00	01	11	10
00	0	0	1	0
01	0	1	1	1
11	x	x	x	x
10	0	0	x	x

$$\begin{aligned}
 TA &= BC'X + AX' \\
 &= (X + A)(X' + BC')
 \end{aligned}$$

$$\begin{aligned}
 TB &= CX + BX + BC \\
 &= (BC + X)(BC + B + C)
 \end{aligned}$$

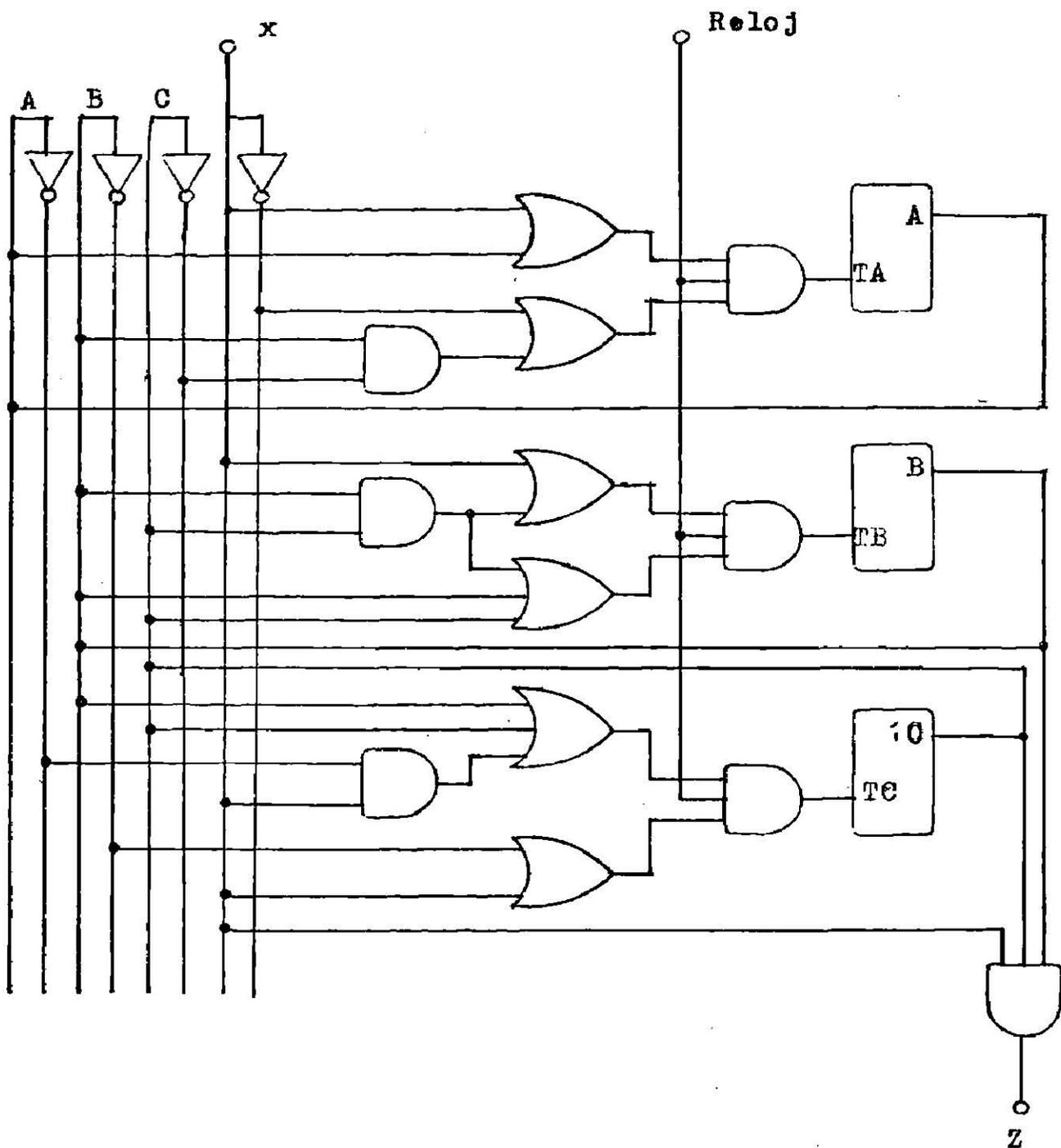
AB \ CX	00	01	11	10
00	0	1	1	1
01	1	0	0	1
11	x	x	x	x
10	0	0	x	x

AB \ CX	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	x	x	x	x
10	0	0	x	x

$$\begin{aligned}
 TC &= A'B'X + BX' + B'C \\
 &= (B + C + A'X)(B' + X)
 \end{aligned}$$

$$Z = BCX$$

iii ) Implementación del circuito



Ejemplo 2

En este ejemplo se tratara de diseñar un circuito secuencial sencillo que trabaje como una celda de memoria capaz de almacenar un bit de información. El diagrama mostrando las entradas y salidas del circuito se da en la fig. 3.33.

El circuito a diseñar debe ser capaz de almacenar un bit de información y como se ve en la figura cuenta con una entrada, una salida y dos líneas de control. La línea I es por donde llega el dato a almacenar, la línea RW selecciona el modo lectura ó escritura para la celda, la línea L se emplea para seleccionar la celda cuando está integrada a un conjunto de celdas que forman una memoria y por último la línea O nos da el valor del bit almacenado. Cuando la línea L tiene un 0, las líneas I(input) y O(output) quedan inhabilitadas. Cuando S tiene un 1 la celda queda habilitada para leer o escribir en ella. Con RW=0 se puede escribir y con RW=1 se puede leer.

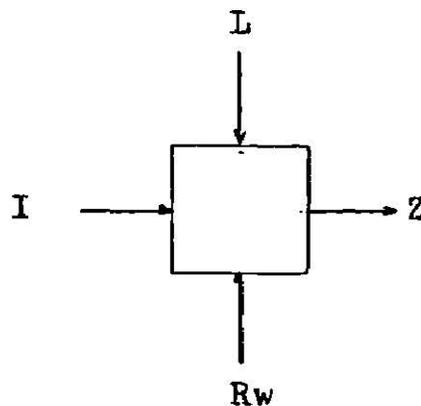


Fig. 3.33 Celda binaria.

El método a emplear para diseñar el circuito lo presentaremos a continuación:

- (1) Hacer una tabla de estado.
- (2) Hallar las funciones que cumplan con el diseño
- (3) Implementar el circuito.

En el diseño se empleara un único flip-flop, pues, sólo se requiere guardar un bit que tiene dos únicos valores (dos

estados).

Paso 1: Se transfieren las especificaciones del circuito a una tabla de estado.

Edo. Actual Q	ILRw							
	000	001	010	011	100	101	110	111
0	0/0	0/0	0/0	0/0	0/0	0/0	1/0	0/0
1	0/0	0/0	1/0	0/0	0/0	0/0	0/0	0/1
	Q/Z							

En la tabla de estado las entradas actuales se indican como I, L, Rw y el estado actual Q en la columna más a la izquierda. Las entradas en el rectángulo interno definen el estado siguiente de Q y la salida Z. Por ejemplo cuando la red se encuentra en el estado cero (Q=0), y las entradas actuales se encuentran a un nivel dado por I = 1, L = 1 y Rw = 0, la salida actual Z = 0 y el estado siguiente de Q es 1.

Paso 2: Para hallar las funciones transformamos la tabla de estados en dos tablas de verdad. Una para la salida Z y la otra para las entradas al flip-flop.

La tabla de salida es la siguiente:

Edo. Actual	Entradas		Salida
Q	L	Rw	Z
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

Cada fila de la tabla de salida corresponde a un valor dado dentro del rectangulo de la tabla de estado.

Para obtener la segunda tabla ampliamos la anterior para incluir la entrada I así como también el estado siguiente y las entradas al flip-flop.

Se empleo la tabla de transición del flip-flop SR, para obtener los valores de entrada a los terminales S y R del flip-flop y lograr la transición de estado deseada.

Edo. actual Q	entradas I L RW	Edo. siguiente Qn	Entradas flip-flop S R
0	0 0 0 1	0	0 x
0	0 0 1 1	0	0 x
0	0 1 0 1	0	0 x
0	0 1 1 1	0	0 x
0	1 0 0 1	0	0 x
0	1 0 1 1	0	0 x
0	1 1 0 1	1	1 0
0	1 1 1 1	0	0 x
1	0 0 0 1	1	x 0
1	0 0 1 1	1	x 0
1	0 1 0 1	0	0 1
1	0 1 1 1	1	x 0
1	1 0 0 1	1	x 0
1	1 0 1 1	1	x 0
1	1 1 0 1	1	x 0
1	1 1 1 1	1	x 0

A continuación se muestran los mapas para obtener las funciones ya simplificadas.

LRw	00	01	11	10
01	0	0	0	0
01	0	0	0	1
11	x	x	x	x
10	x	x	x	x

$$S = I * L * R_w$$

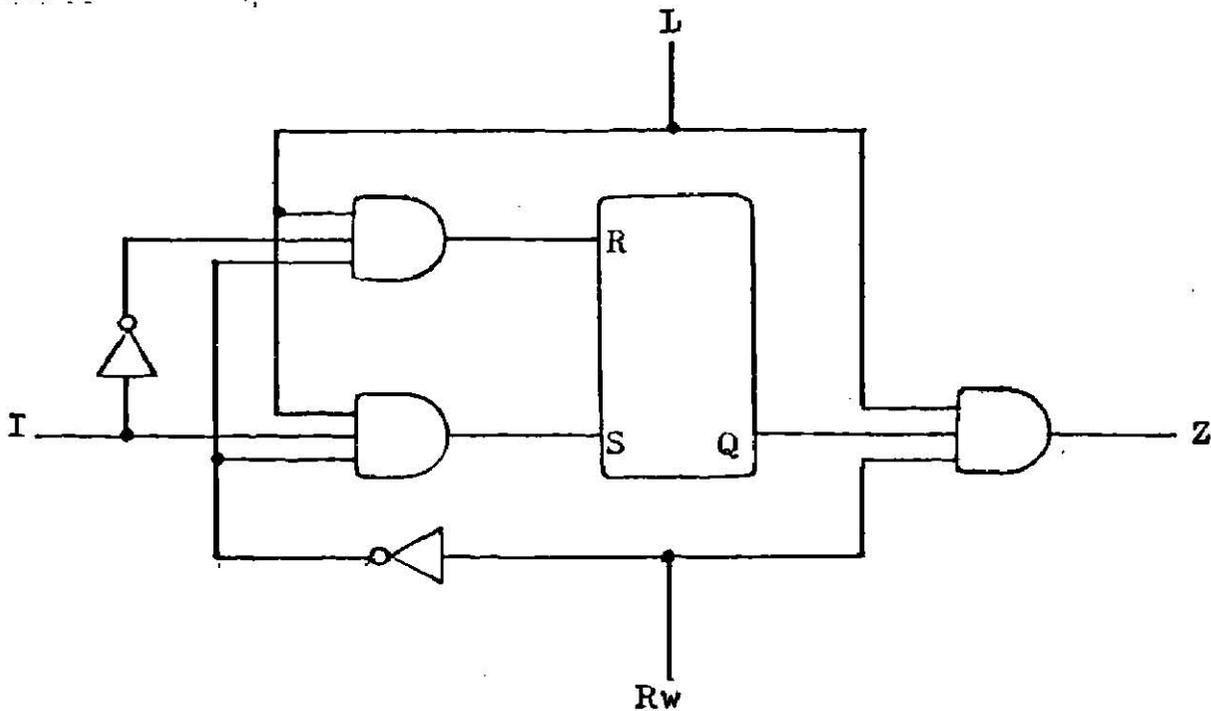
LRw	00	01	11	10
01	x	x	x	x
01	x	x	x	0
11	x	x	0	0
10	0	0	0	1

$$R = I' * L * R_w'$$

LRw	00	01	11	10
0	0	0	0	0
1	0	0	1	0

$$Z = Q * L * R_w$$

Paso 3 : Implementación



### 3.8.1 Registros

Se implementan con uno o más flip-flops dependiendo esto del número de bits a manejar. Un registro de  $n$  bits consiste de  $n$  flip-flops conectados en cascada más las puertas que controlan su operación. En un sistema digital los registros se emplean generalmente para almacenar información (datos) temporales. Los datos pueden ser transferido a un destino en forma serie o paralelo. La transferencia en serie consiste en una secuencia en el tiempo de dígitos binarios que son transferidos sobre una línea única; la transferencia en paralelo significa que todos los bit de un grupo (palabra) son transferidos en forma simultánea sobre líneas separadas.

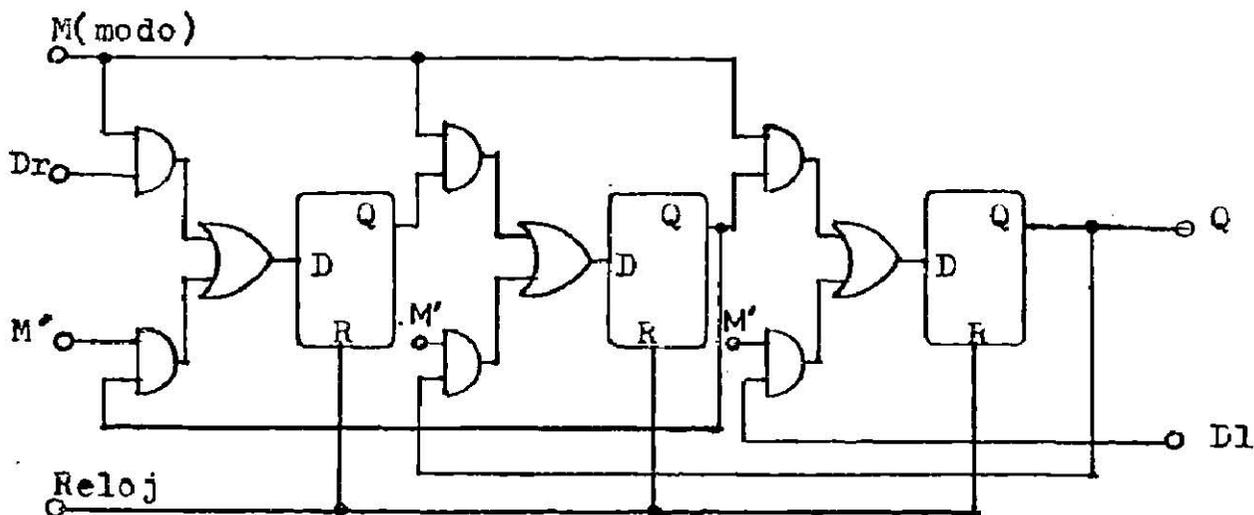


Fig 3.34 Registro con corrimiento.

Los bit dentro de un registro se pueden mover a la derecha o a la izquierda o transferirlos dentro o fuera del mismo. Los

registros tambien son empleados para convertir datos serie en paralelo o paralelo a serie. En la figura 3.11 se muestra un registro con corrimiento a la izquierda y a la derecha.

En el circuito,  $D_r$  es la entrada para datos que sean corridos a la derecha y  $D_l$  es la entrada para datos que sean corridos a la izquierda. La linea  $M$  de acuerdo a su valor lógico determina la dirección de corrimiento. Con  $M=1$  el corrimiento es a la derecha y con  $M=0$  es a la izquierda en sincronía con cada pulso de reloj.

## CAPITULO 4

### UNIDADES DE MEMORIA

#### Introducción

Un procesador digital requiere de algun medio para almacenar la información a procesar, pudiendo consistir esta última de números a emplear en cálculos, resultados de cálculos intermedios o instrucciones que dirigidran un cálculo. Cuando ningun cálculo se hace, un medio puede ser llamado para almacenar datos. La parte del sistema que se encarga de proporcionar ese medio de almacenamiento se conoce con el nombre de memoria.

#### 4.1 Memorias

Se implementan mediante un conjunto de registros de igual longitud; compartiendo un conjunto de líneas de entrada de

datos, un conjunto de líneas de salida de datos y un conjunto de líneas de control.

La información dentro de la memoria es guardada en grupos de bits llamados palabras. Cada palabra ocupa un registro único de la memoria. En la figura 4.1 se muestra el diagrama en bloque de una memoria.

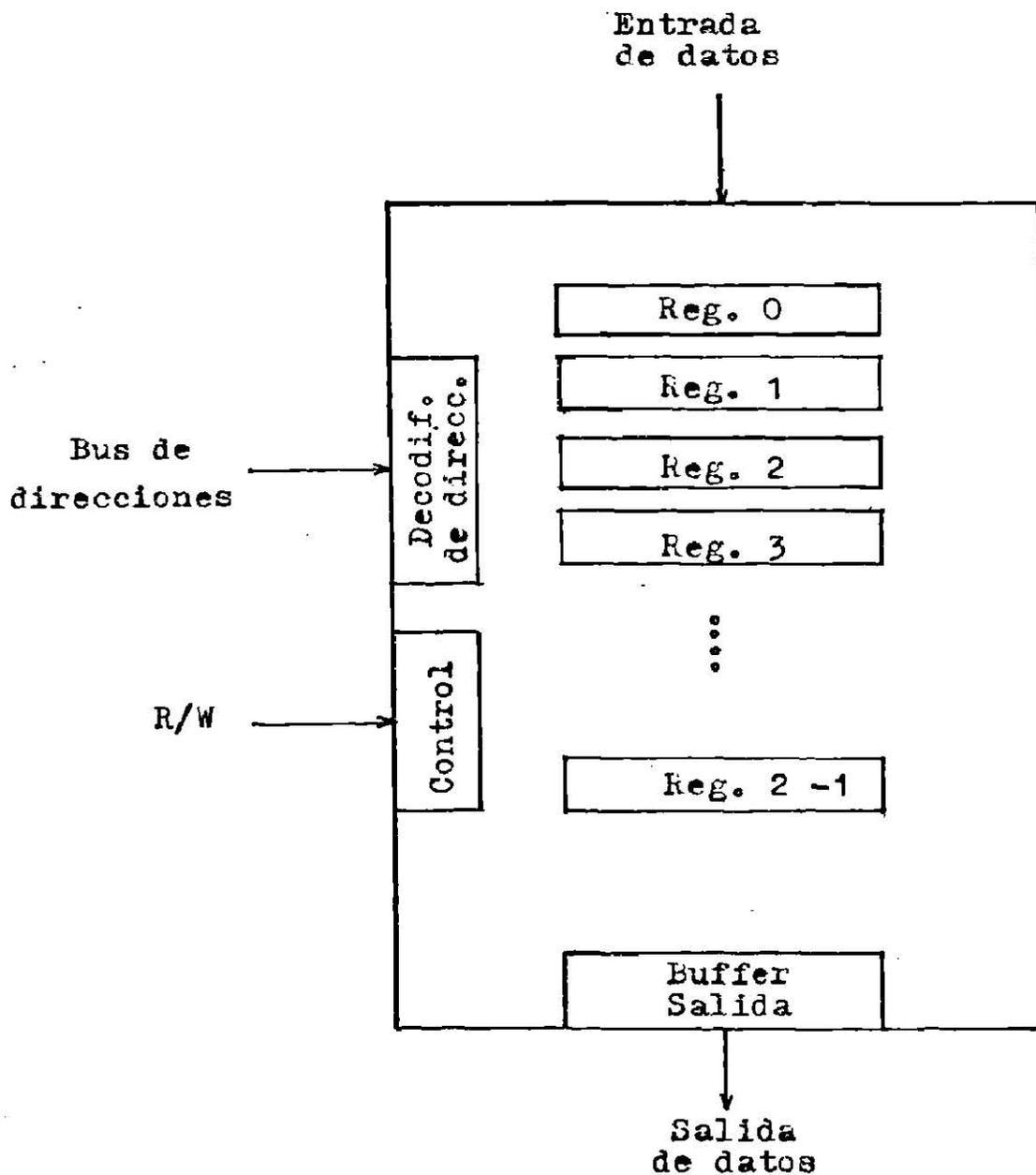


Figura 4.1 Representación de una memoria

Como se muestra en la figura 4.1 cada registro ocupa una posición que tiene una dirección numérica única. Las líneas de entrada y salida permiten que la información entre y salga y las líneas de direccionamiento y RW son parte de las líneas de control de la unidad de memoria.

Las memorias las podemos clasificar en 3 tipos: memorias de acceso secuencial, memorias de acceso al azar (RAM) y memorias de sólo lectura (ROM).

#### 4.2 Memoria de acceso secuencial

Lo que caracteriza a este tipo de memoria es que cada palabra es escrita y leída en secuencia. Es decir, si se esta leyendo la palabra  $n$ , entonces la palabra  $n+h$  estara disponible para la lectura solamente después de haber avanzado  $h$  etapas en la memoria. Lo anterior es una de las principales limitaciones de la memoria de acceso secuencial ya que no la hace apta para manejar información que se encuentra distribuida al azar dentro de la memoria, y se debe a que el tiempo que tarda la unidad en acesar una palabra para lectura o escritura, llamado tiempo de acceso, depende de su posición física dentro de la unidad. Sin embargo las memorias de acceso secuencial son relativamente económicas y muy eficientes cuando es posible escribir datos en ella, en el orden en que seran más tarde utilizados.

Un ejemplo de una memoria de acceso secuencial es una cinta cubierta de material magnético, donde se graba la información o una cinta de papel donde es posible hacer perforaciones para representar datos.

Una manera de implementar una memoria secuencial a base de dispositivos semiconductores es usando registros de corrimiento, en la figura 4.2, se muestra una de las maneras de hacerlo. La unidad esta formada por N registros de corrimientos cada una de S bits de longitud que proporciona almacenamiento para S palabras de N bits cada una.

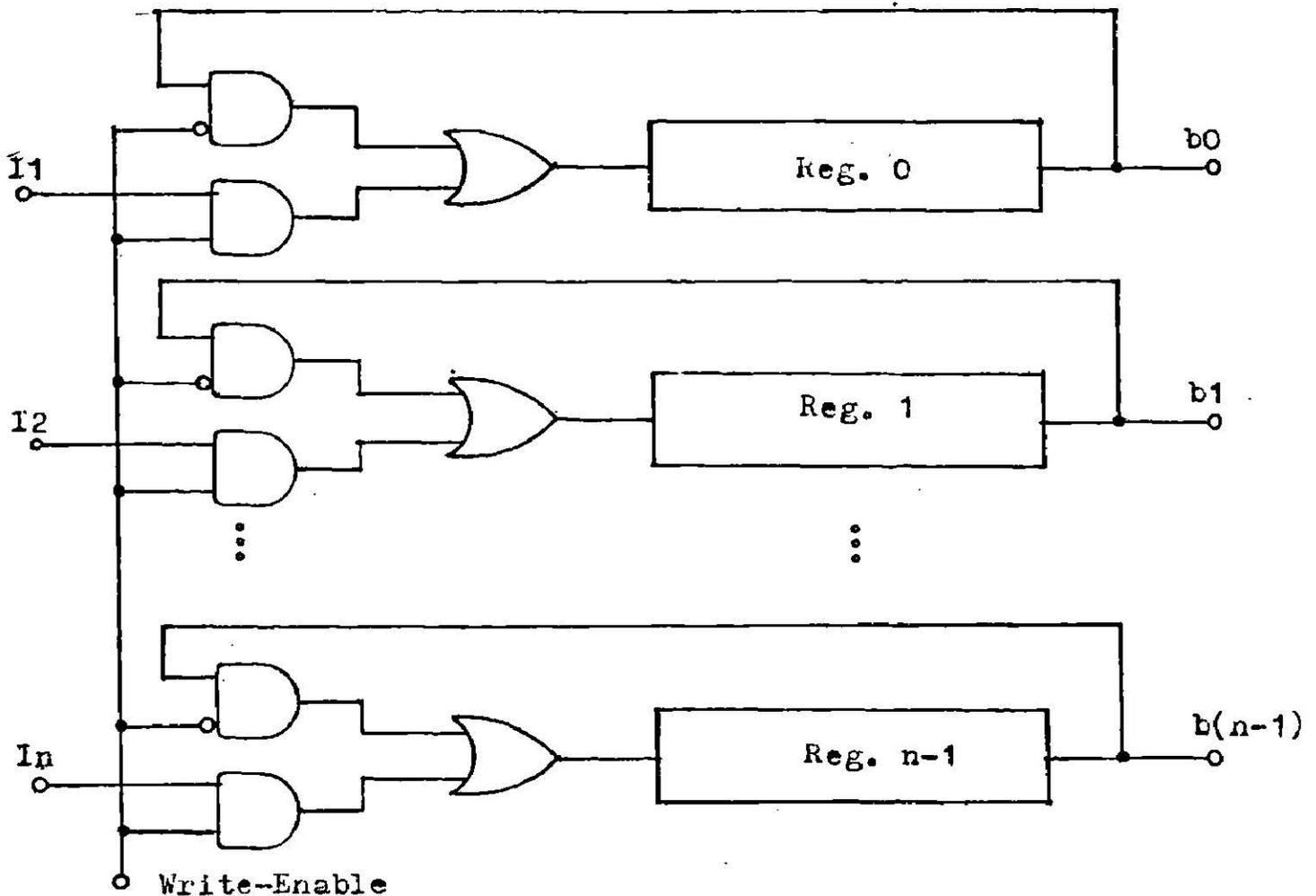


Fig. 4.2 Memoria secuencial usando registros de corrimiento. Cada registro en la memoria de la fig. 4.2 mantiene un bit de cada palabra. Con cada pulso de reloj el bit avanza una etapa las palabras almacenadas aparecen en forma secuencial en

las salidas  $b_0, b_1, b_2, \dots, b_{(N-1)}$ . En este tipo de memoria, las palabras que llegan a la salida pueden recircular de nuevo, volviendo para ello a la posición más a la izquierda a la manera de un registro de corrimiento circulante. Como se ve en el diagrama cuando la línea WRITE-ENABLE alcanza un nivel de voltaje correspondiente a un 1 lógico, la recirculación no ocurre, en vez de eso, con cada pulso de reloj los bits aplicados en las líneas de entrada se desplazan a través de los registros. Por eso con la línea WRITE-ENABLE en 1 lógico podemos borrar y reemplazar el contenido de la memoria.

Otra manera de implementar una memoria secuencial es formando una pila con registros de corrimiento como se ve en la figura 4.3, donde se tienen  $N$  registros de  $S$  bits cada uno, formándose una memoria de  $S$  palabras de  $N$  bits cada una.

Cuando hay un 1 lógico en la línea WRITE-ENABLE y la línea de dirección de corrimiento es llevada a un valor lógico que corresponda a un corrimiento hacia arriba, toda palabra presente en las líneas WRITE-INPUT, puede ser almacenada en la memoria en sincronismo con cada pulso de reloj, pudiendo almacenarse hasta  $K$  palabras. Cada vez que una palabra entra, las demás se desplazan una etapa para hacer lugar para la siguiente, quedando apiladas una sobre otra, la primera que entra queda en la parte superior de la pila. Para leer las palabras en secuencia, se coloca la línea WRITE-ENABLE en 0 lógico y se invierte la dirección de corrimiento. Con cada pulso de reloj las palabras aparecen en la salida de la memoria ( $b_0, b_1, \dots, b_{(N-1)}$ ) y en el orden opuesto a como se

escribieron, por esta característica este tipo de memoria se conoce como memoria FIFO (primero que entra último en salir).

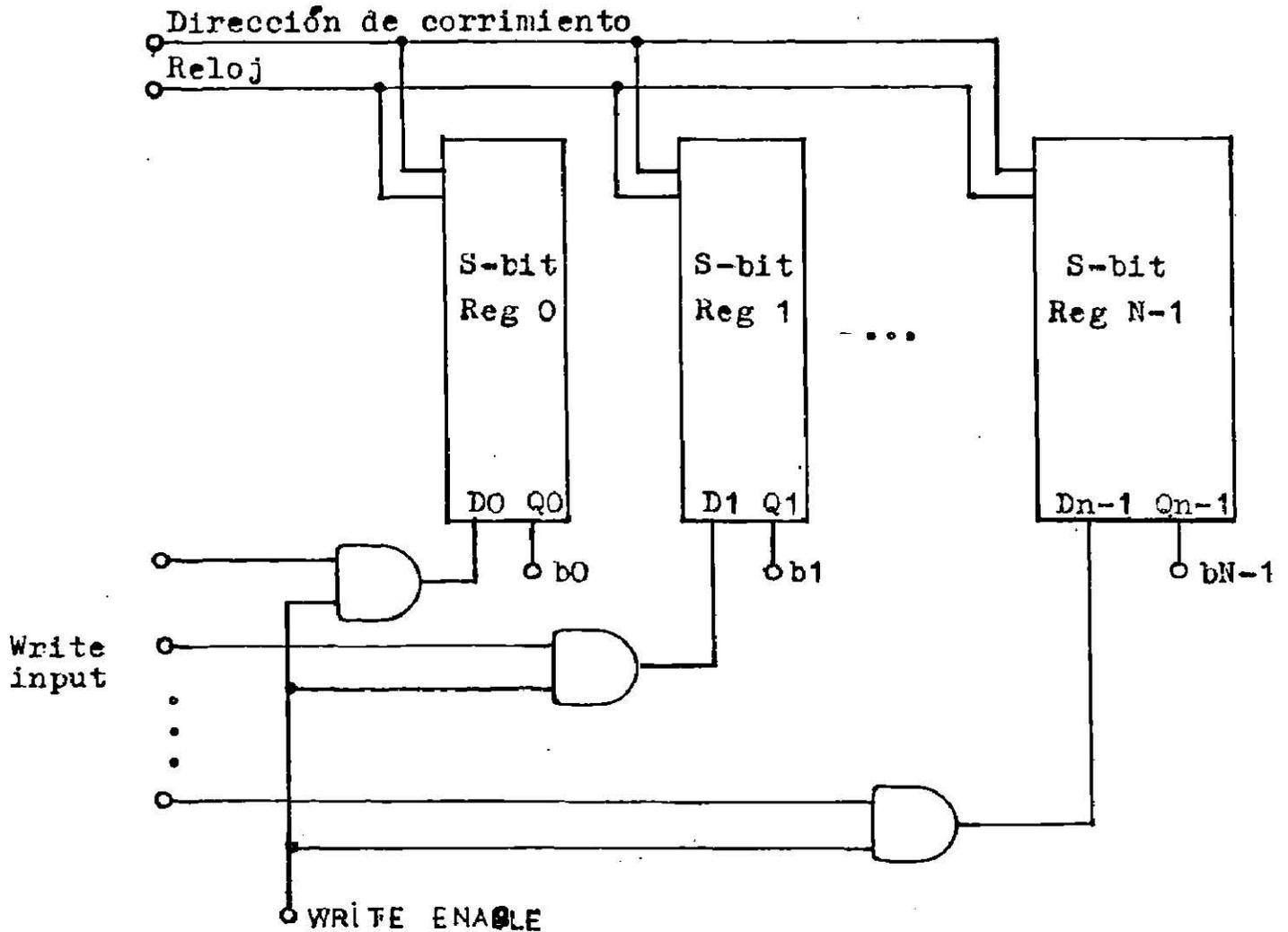


Fig.4.3 Memoria secuencial tipo pila con corrimiento.

Una manera más de construir una memoria secuencial se representa en la figura 4.4, consistiendo en una pila de registros donde se almacena la información más un registro de direccionamiento llamado STACK POINTER (SP), el cual contiene la dirección de la palabra que se encuentra actualmente en el top (parte superior) de la pila. Las operaciones que se realizan en la pila son insertar y borrar información, la primera se llama PUSH y consiste en colocar un nuevo dato en

el top de la pila. La operación de borrar se llama POP y consiste en remover el dato que se encuentra en el top de la pila. Físicamente ningún dato es removido o insertado. En realidad lo que se hace es simular la operación incrementando y decrementando el stack pointer. En la figura 4.3 cinco palabras R,S,T,U y V se encuentran en la pila; el registro SP contiene la dirección de V, que es el elemento que se encuentra en el top de la pila, siendo esta dirección el número binario 4. Para remover el elemento que se encuentra en el top de la pila, se procesa la palabra contenida en la dirección 4 y se decrementa en uno el registro SP. El elemento de información U, queda ahora en el top de la pila y SP contiene la dirección 3. Para insertar un elemento nuevo se incrementa en uno SP y se escribe la palabra en la dirección dada por SP.

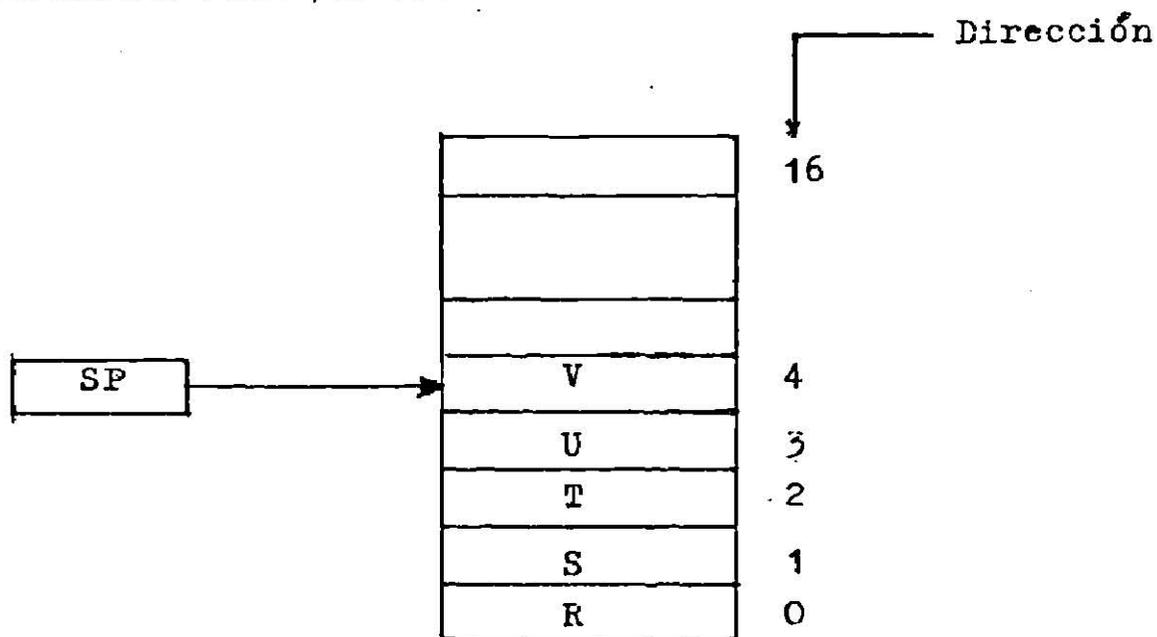


Figura 4.4 Memoria tipo pila

#### 4.3 Memoria de acceso aleatorio (RAM)

Como cada registro dentro de una memoria ocupa una posición física distinta, se le puede asignar una dirección numérica única. La memoria puede ser vista como una colección de registros direccionables, siendo posible transferir la información a/o desde cualquier registro que se quiera, de aquí el nombre de memoria de acceso al azar (RAM). En la figura 4.5 se muestra en forma esquemática una memoria para  $n=3$  y  $m=8$ . Donde  $n$  es el número de bits de direccionamiento y  $m$  el número de bit por palabra. En esta representación, las direcciones son dadas por enteros que van de  $0$  a  $2^n - 1$  y el contenido de cada posición de memoria es la palabra binaria almacenada en esa dirección. La selección de una palabra específica dentro de la memoria es hecha insertando su dirección binaria en las líneas de selección. El decodificador de direcciones se encarga de hacer presente en las líneas de salida la palabra deseada. El tiempo que transcurre entre el momento que se aplica la dirección y la aparición en la salida del contenido de la palabra direccionada se denomina tiempo de acceso. En el caso de las RAM el tiempo de acceso depende de la tecnología usada en la construcción de los dispositivos y de la estructura de conexión empleada para implementarla. Lo anterior nos dice que el tiempo de acceso es independiente de la posición de la palabra en una unidad RAM. La capacidad de una memoria se da en términos del número de palabras que contiene y del número de bits en cada palabra. Si asumimos que una memoria tiene  $n$  bits de dirección y que cada

palabra es de longitud  $m$ , la capacidad de la unidad de memoria sera de  $2^n * m$  bits, organizada en  $2^n$  palabras de  $m$  bits cada una. Cuando se habla de unidades de memoria grandes se emplea la letra K como subfijo para dar su capacidad,  $1K=2^{10} = 1024$ . Una memoria con una capacidad de 1K contiene 1024 palabras y requiere 10 bits para direccionamiento. Para  $64K=2^{16} = 65536$  palabras y requiere 16 bits de direccionamiento.

Localidad	Dirección	Contenido
0	000	1   1   0
1	001	0   1   0
2	010	0   1   1
3	011	0   0   0
4	100	1   1   1
5	101	0   0   1
6	110	1   0   0
7	111	1   0   0

Fig. 4.5 Memoria de 8 por 3 bits.

#### 4.3.1 Celda estática MOS

En la figura 4.6 se muestra una celda formada por 6 transistores MOS. El término estático se refiere a que mientras este presente la energía eléctrica en la celda, ella retiene la información indefinidamente.

El flip-flop se forma con dos inversores acoplados. Un inversor esta formado por los transistores T1 y T2. El otro lo forman T3 y T4. Los transistores T5, T6, T7 y T8 se emplean

para direccionar la celda, y para la operación de leer y escribir se utilizan T10 y T9 respectivamente.

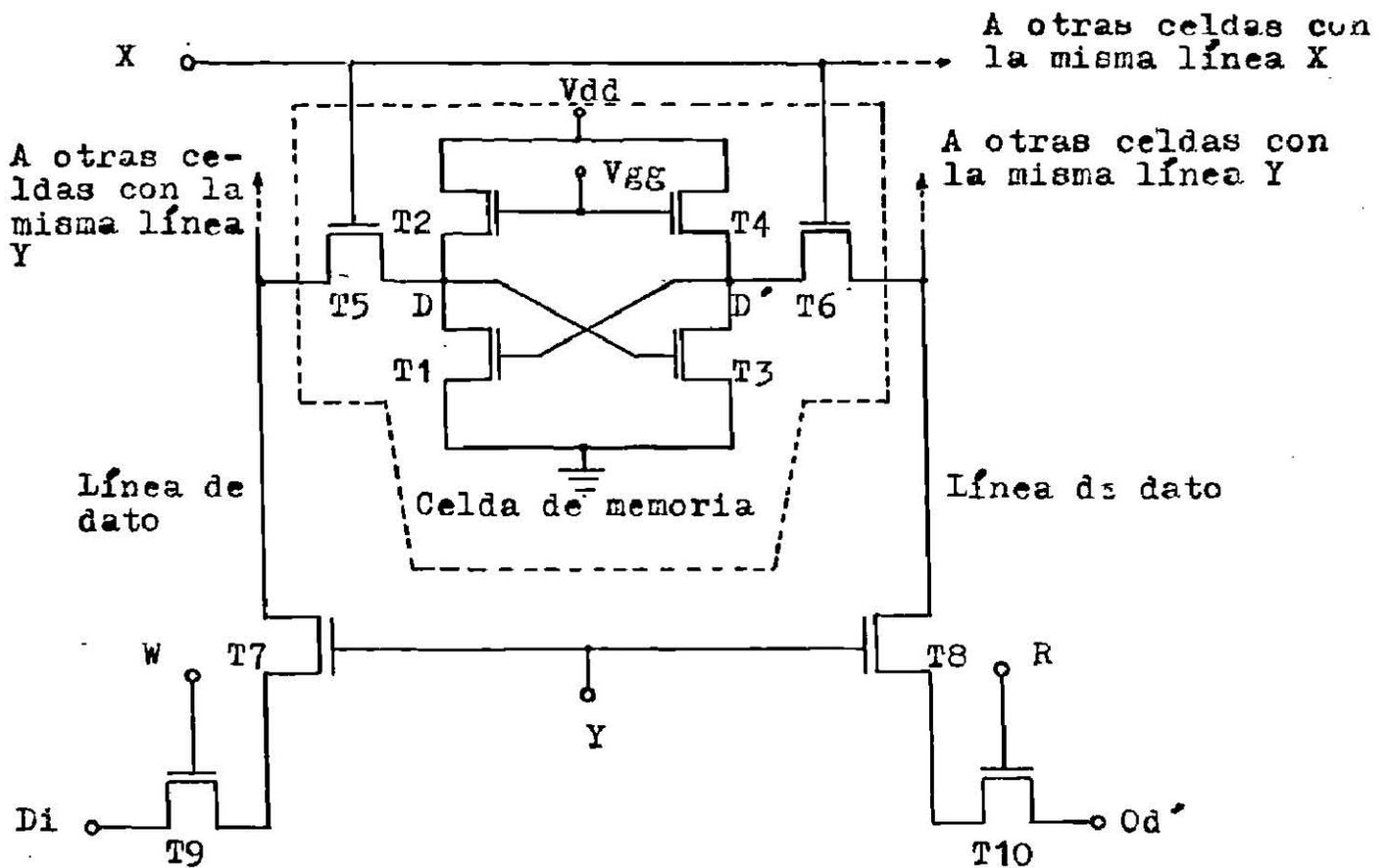


Fig.4.6 Celda estática MOS.

Cuando las líneas X y Y están en 1 lógico T5, T6, T7 y T8 conducen, la celda es direccionada y se puede escribir o leer en ella. Para escribir se coloca un 1 en la línea W, quedando el nodo D a un valor igual al de la línea Di, ya que T5, T7 y T9 están activados. El nodo D' tendrá un valor que es el complemento del valor de D. Para leer el estado de la celda se coloca un 1 en la línea R. Esto conecta la línea de salida Od' con el nodo D', ya que T6, T8 y T10 están activados. La salida Od' nos entrega el complemento del valor

del dato escrito en la celda.

En la figura 4.7 se ve la manera de interconectar varias celdas para formar un dispositivo RAM. Cada cuadro etiquetado CB es una celda formada con 6 transistores idéntica a la mostrada en la figura 4.6.

En el arreglo de la figura 4.7 habrán  $n$  renglones y  $m$  columnas de celdas. Donde, cada celda tiene un par de líneas de direccionamiento  $(X, Y)$ , que es único.

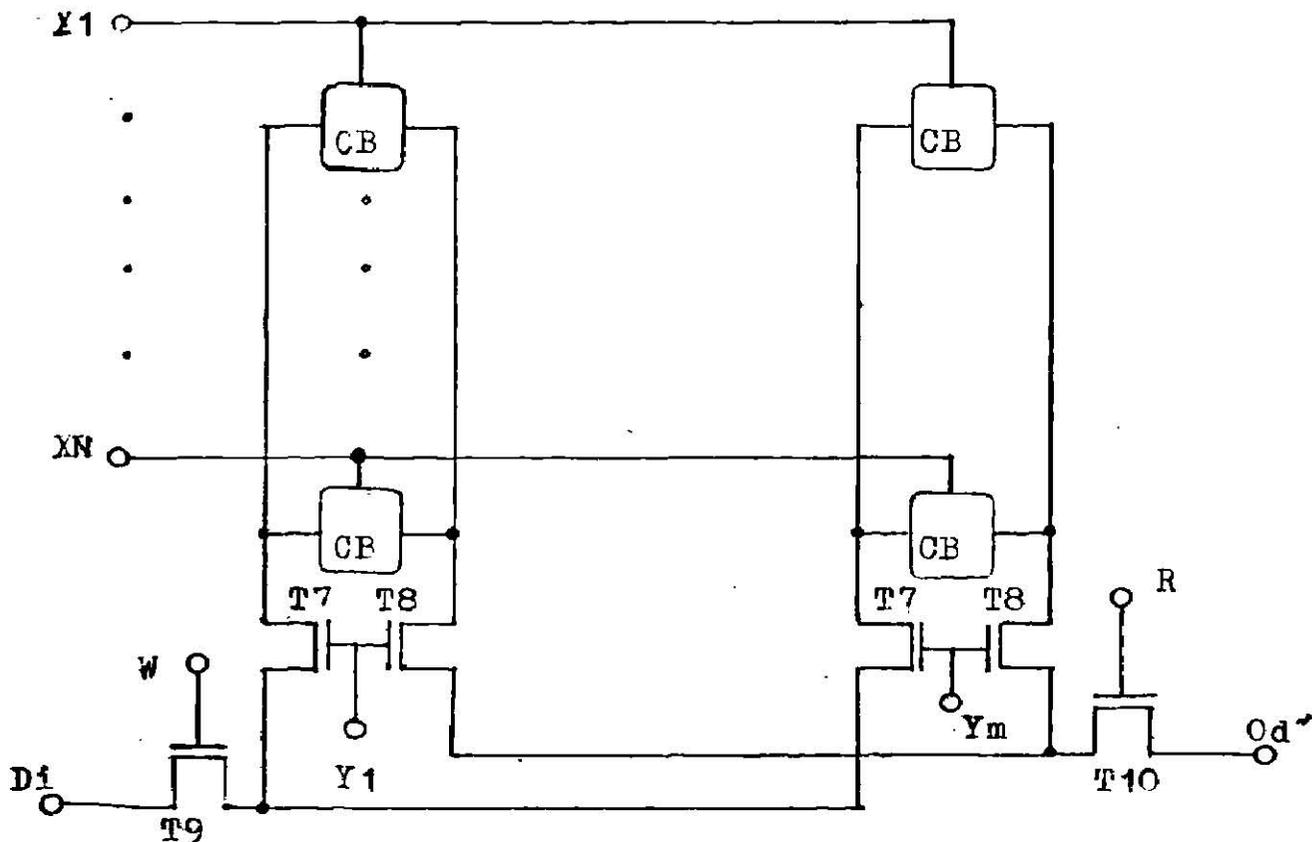


Fig.4.7 Interconexión de celdas para formar una RAM.

#### 4.3.2 Celda dinámica MOS

Otro tipo de celda que emplea transistores MOS, llamada celda dinámica se muestra en la figura 4.8. Reduce el número de transistores a cuatro permitiendo mayor cantidad de componentes por chip.

Para almacenar la información en la celda durante una longitud de tiempo finita se usa la presencia ó ausencia de carga sobre la puerta de un transistor MOS. Los condensadores que se forman en la puerta de cada transistor son accesibles a la línea de entrada y a la línea de salida direccionando la celda al colocar un 1 en las líneas X y Y, con lo que se activan los transistores T3, T4, T5 y T6.

En un momento dado supongamos que C1 se encuentra a un nivel de voltaje mayor que el voltaje de umbral (voltaje mínimo necesario en la puerta del transistor para que conduzca) de T1, por lo que T1 está activo y T2 está en corte. En este momento la celda presenta uno de sus dos estados. El otro estado lo presenta cuando C2 eleva su nivel de voltaje por encima del umbral de T2, por lo que T2 conduce y T1 queda en corte.

Las celdas son accesadas para la lectura haciendo  $R=1$  y para escritura haciendo  $W=1$ .

Debido a que con el transcurrir del tiempo la carga de los condensadores C1 y C2 se pierde, es necesario reponerla periódicamente, lo que se logra a través de los transistores T9 y T10. Para hacerlo se activan las líneas de refresco y la

de direccionamiento X, con lo cual se aplica un voltaje Vdd al condensador que esta activo en ese momento, el otro queda en paralelo con el transistor que conduce cuando el refresco es aplicado y por lo tanto no adquiere carga suficiente.

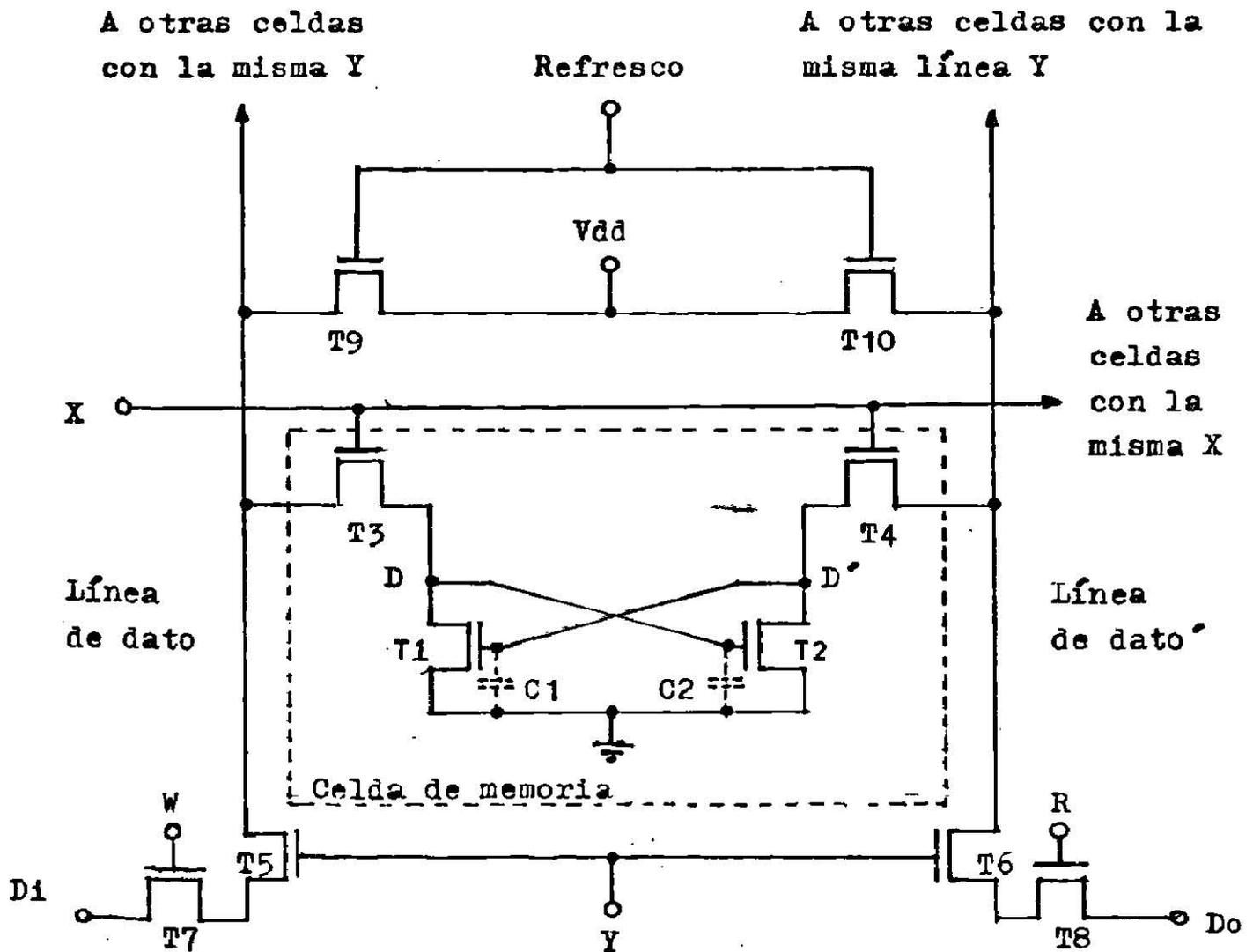


Fig. 4.8 Celda dinámica MOS.

La celda de la figura 4.8 se forma con los transistores T1, T2, T3, y T4. Los transistores T5, T6, T9 y T10 se emplean para servir a otras celdas teniendo la misma columna Y.

El estado de la celda se almacena en las capacitancias  $C_1$  y  $C_2$ , las cuales son accesibles a los terminales de entrada y salida a través de los transistores  $T_3, T_4, T_5$  y  $T_6$  que son activados cuando la celda es direccionada.

#### 4.3.3 Celda bipolar RAM

El flíp-flop que forma una celda bipolar esta formado por dos transistores multiemisores como se ve en la figura 4.9. Por lo tanto, en cualquier momento, mientras halla energía eléctrica uno de los transistores conduce mientras el otro esta en corte.

Se explicara la operación de la celda en dos fases que son los estados operativos de la celda y que se dan a continuación:

a) Celda no direccionada: Línea  $X=0$  y línea  $Y=0$ .

b) Celda direccionada: Línea  $X=1$  y línea  $Y=1$ .

a) Supongamos que  $T_1$  es el transistor que esta conduciendo en un momento dado. La conducción se hace a través del emisor  $E_x$  y  $E_y$ , el emisor  $E_d$  esta polarizado en forma inversa y no conduce.

b) Supongamos ahora que queremos leer, por lo tanto, la línea  $RW=0$ . Esto trae como consecuencia que la celda queda inhibida para la entrada de datos, pues  $T_3$  y  $T_4$  conducen provocando que  $D_1$  y  $D_2$  no lo hagan. Al ser  $X=1$  y  $Y=1$  (celda direccionada) la corriente conducida por  $E_x$  y  $E_y$  es desviada a  $E_d$  y una parte de ella hara conductor a  $T_5$  (aqui el voltaje en sentido

directo en  $E_d$  es mayor que el aplicado en sentido inverso) por lo que el terminal de salida  $O_d'$  tendrá un valor igual al del emisor de  $T_1$  o sea un cero. Resumiendo diremos que cuando  $R_W=0$  y se direcciona la celda, ocurre la lectura de ella.

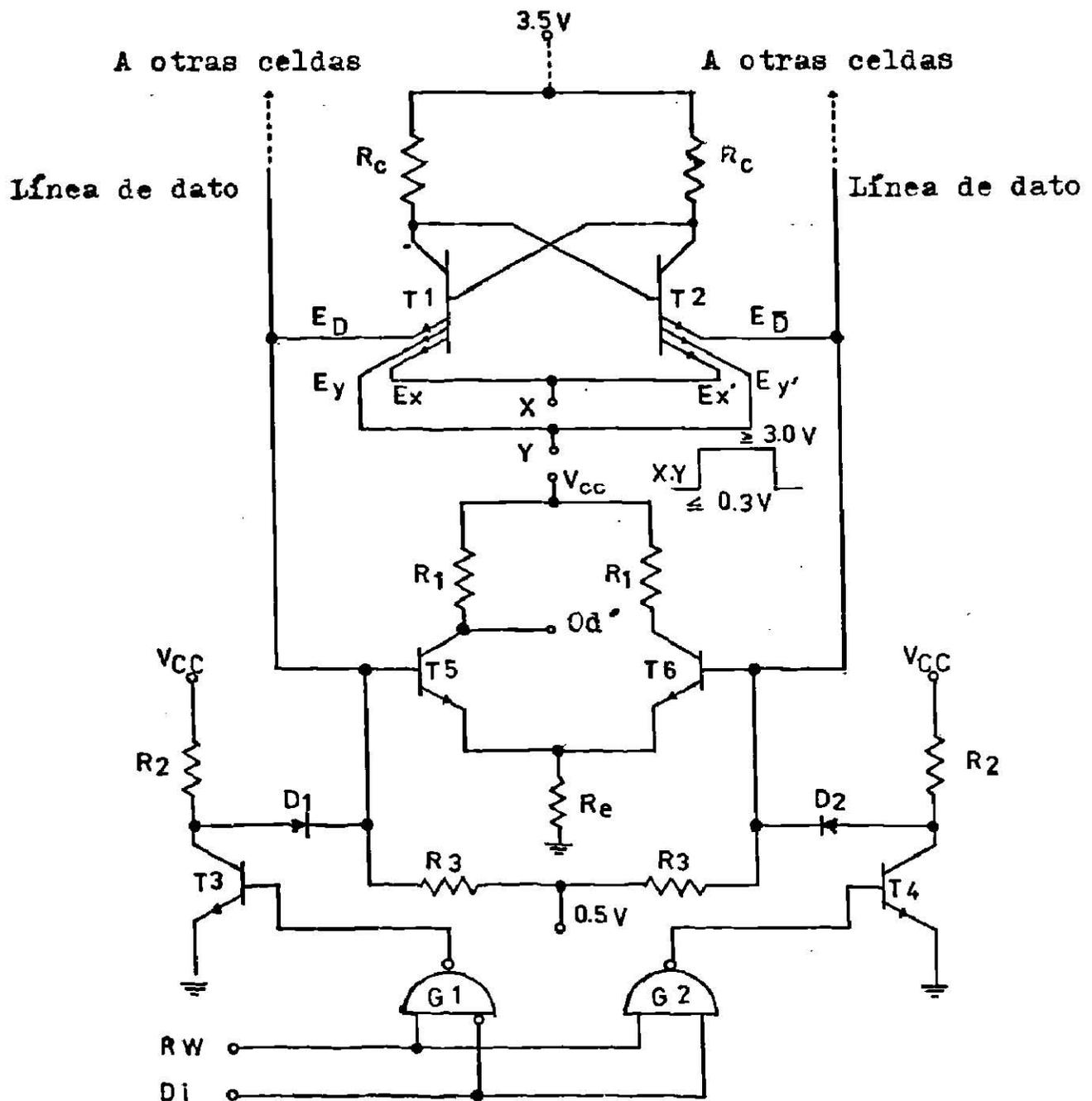


Fig. 4.9 Celda bipolar RAM.

Para escribir se hace  $RW=1$  habilitando a las puertas G1 y G2 para aceptar datos. Si el terminal de entrada  $D_1=1$ ,  $D_2$  conduce pues T4 queda en corte ya que su base tiene un cero, lo que trae como consecuencia que T2 es forzado al estado de no conducción y tendrá un uno en su colector.

Hay ocasiones en que la unidad de memoria no requiere que las celdas que la forman tengan dos líneas de direccionamiento, en estos casos los transistores que se emplean tienen dos emisores pues solo se necesita acceder renglones completos de celdas. Pero el funcionamiento del circuito es idéntico al explicado para dos líneas de direccionamiento.

#### 4.4 Organización de una memoria de acceso al azar (RAM)

Las memorias son organizadas internamente de varias maneras en un esfuerzo para obtener una memoria con alta velocidad, tiempo de acceso muy bajo, gran capacidad de bits, pocos circuitos perifericos y bajo costo.

Las memorias a base de dispositivos semiconductores son diseñadas para que un solo dispositivo pueda satisfacer todos los requerimientos funcionales de un sistema de memoria. Cada dispositivo contiene:

1. Un arreglo de celdas de memoria donde cada una puede almacenar un bit de información.
2. Lógica para poder direccionar cualquier localidad de la memoria.
3. Circuitos que permitan la lectura del contenido de cualquier localidad de la memoria.

4. Circuitos que permitan la escritura en cualquier localidad de la memoria.

La organización más simple de una memoria es un arreglo organizado a palabra con selección lineal. Este tipo de arreglo tiene una columna de longitud igual al número de palabras y una longitud de renglón igual al número de bits por palabra. La selección de palabras para este tipo de organización requiere un decodificador con un número de salidas igual al número de palabras existentes. En la figura 4.10 se muestra una memoria organizada de esa forma; teniendo una capacidad de 8 por 3 bits o sea 8 palabras de 3 bits cada una. Cada caja etiquetada CB contiene un circuito similar al de la figura 4.9, con excepción del flip-flop de la celda. Los bits  $bi_1$ ,  $bi_2$  y  $bi_3$  son los bits de entrada que serán escritos en la memoria cuando la línea  $RW=1$ . Los bits  $bo_1$ ,  $bo_2$  y  $bo_3$  son los bits de salida que serán leídos y llevados fuera de la memoria cuando  $RW=0$ .

Cuando las celdas de memorias cuentan con dos líneas de direccionamiento, como las mostradas en la figura 4.5 4.7 y 4.8 se puede organizar la memoria de una forma tal que es posible acceder cada celda en forma individual.

En la figura 4.11 se muestra una RAM usando celdas que tienen dos líneas de direccionamiento; cada rectángulo etiquetado CB corresponde a una celda como la mostrada en las figuras 4.5, 4.7 y 4.8. A este tipo de organización se le denomina coincidente y entre otras cosas permite reducir el tamaño de los decodificadores.

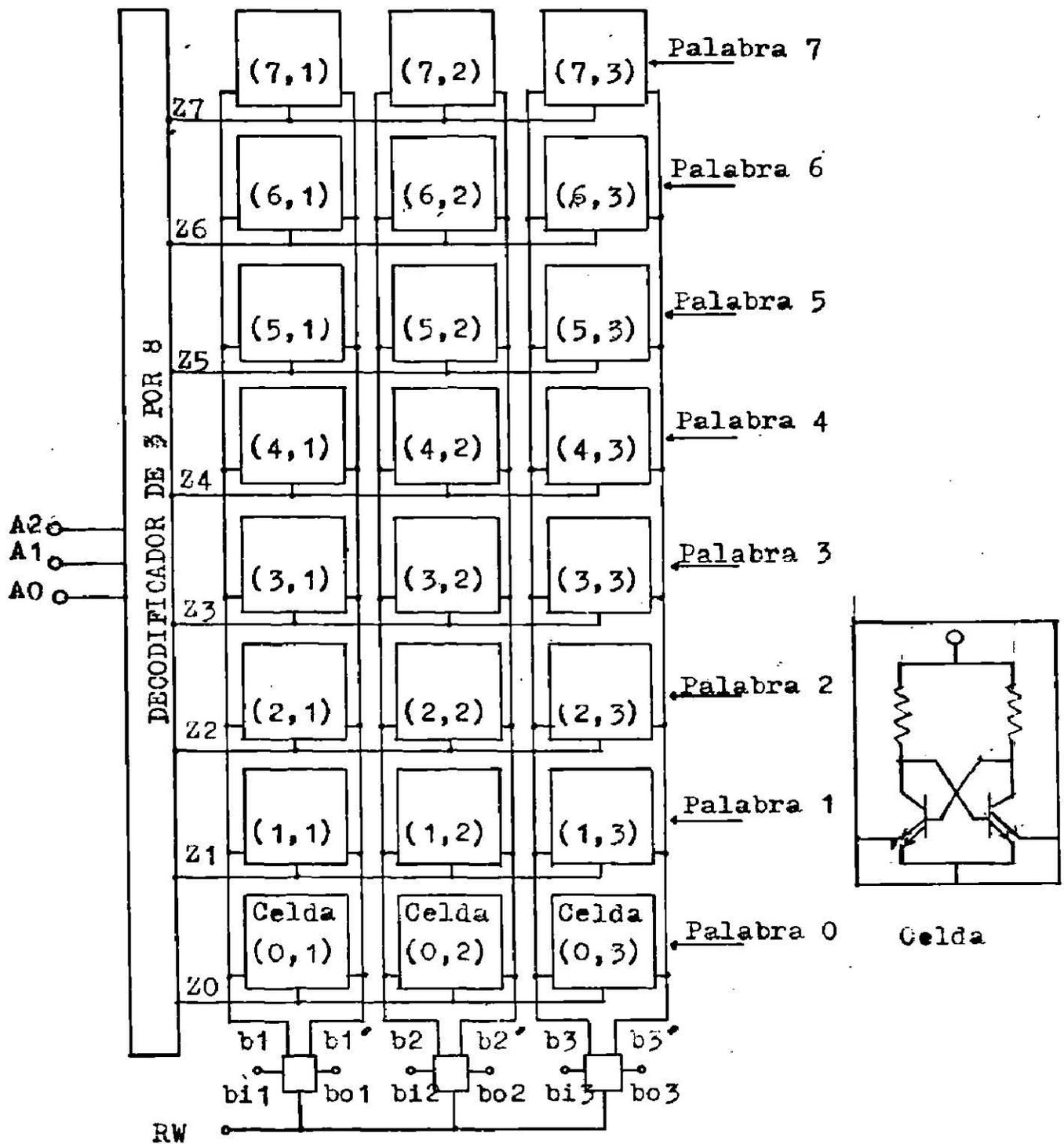


Fig. 4.10 RAM de 8 por 3 con selección lineal.

La longitud de la palabra de la unidad de memoria de la figura 4.11 es de un bit por palabra. Este tipo de diseño también facilita la interconexión de varios dispositivos de memoria para formar un sistema con gran capacidad.

En cualquier momento en la memoria de la figura 4.11 una línea, del decodificador X y una del decodificador Y, puede ser seleccionada. La celda que es accesada es la que se encuentra en la intersección de las dos líneas.

Como las líneas de datos de todas las celdas se encuentran en paralelo, sólo se requiere una entrada y una salida.

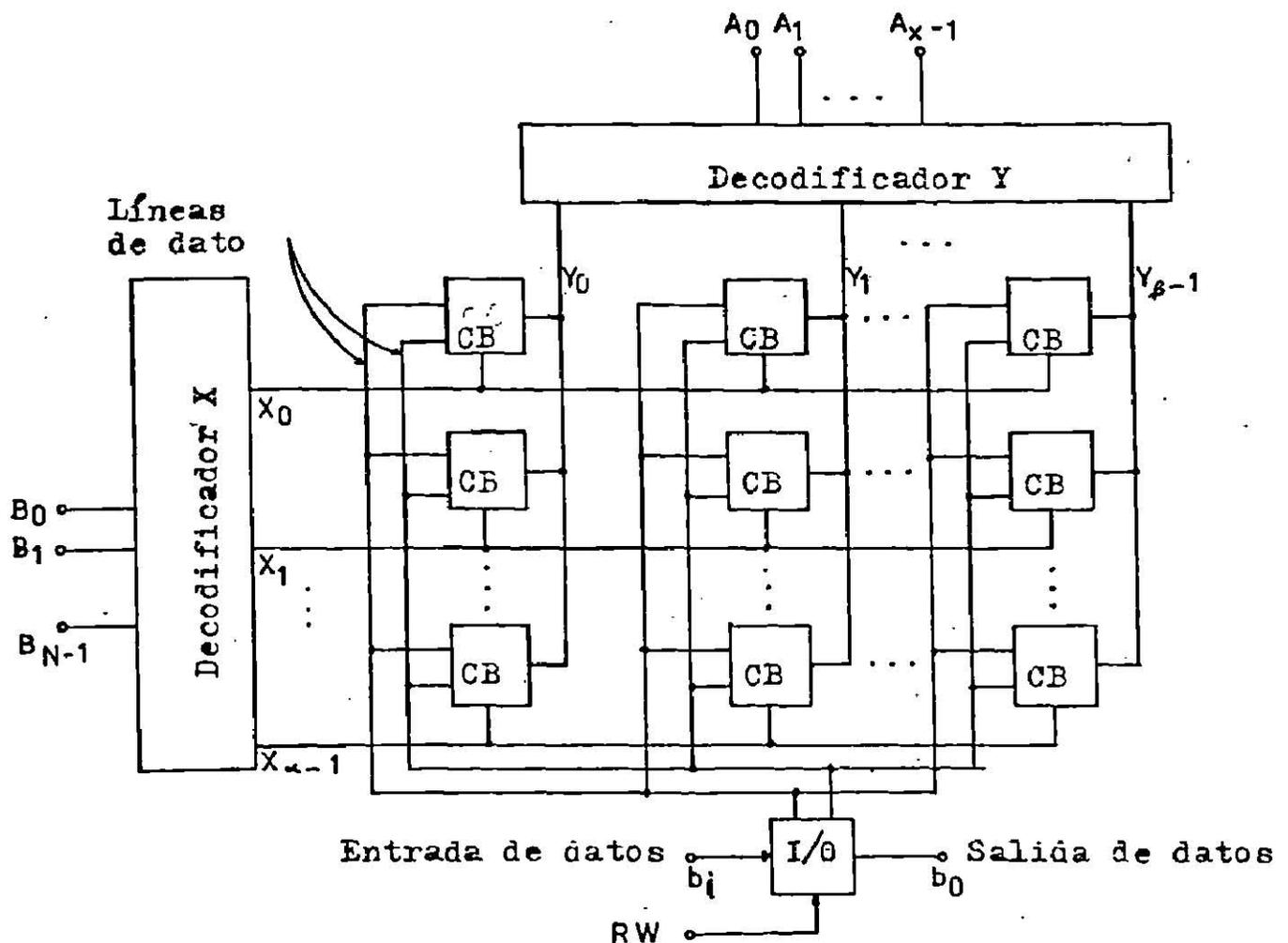
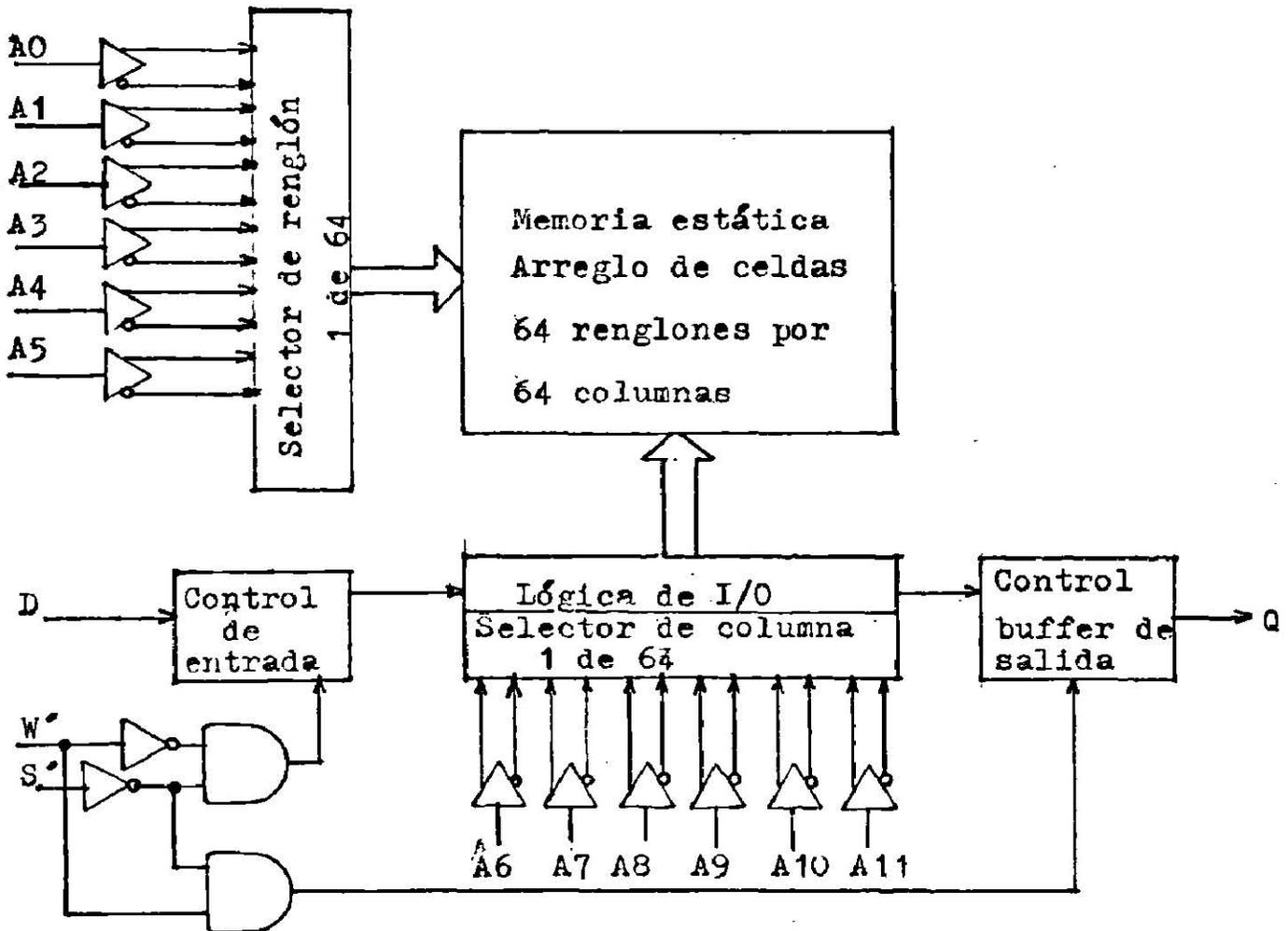


Fig. 4.11 RAM de N por 1.

Si se desea una unidad de memoria como la descrita anteriormente con una capacidad de 4096 palabras, necesitaremos dos decodificadores de 6 por 64; uno para decodificar el renglón y otro para la columna. En la figura 4.12 se muestra una memoria disponible comercialmente con selección coincidente ó de dos niveles.



S	W	D	Q	Modo
H	X	X	Alta imp.	No seleccionado
L	L	L	Alta imp.	Escribe "0"
L	L	H	Alta imp.	Escribe "1"
L	H	X	Salida dato	Leer

Fig. 4.12 RAM de 4096 por 1.

La operación de la unidad de la figura 4.12 se da enseguida:

#### Direccionamiento (A0-A11)

Las doce entradas de direccionamiento seleccionan una de las 4096 localidades dentro de la RAM.

#### Selector de chip (S')

El terminal selector de chip (S'), afecta a los terminales entrada de datos (D) y salida de datos (O). Cuando S' se encuentra a un nivel BAJO, ambos terminales son habilitados. Cuando S' es ALTO, D es inhibido y O se encuentra en alta impedancia.

#### Habilitador de escritura (W')

El modo lectura o escritura es seleccionado a través de el terminal habilitador de escritura. Un nivel ALTO selecciona el modo lectura; un nivel BAJO selecciona el modo escritura. W' debe ser ALTO cuando cambian las direcciones para prevenir escritura errónea de datos en una localidad de memoria.

#### Entrada de datos (D)

Un dato puede ser escrito en una localidad seleccionada cuando la entrada W' se encuentra a un nivel BAJO.

#### Salida de datos (O)

La salida esta en estado de alta impedancia cuando S' se encuentra a un nivel ALTO ó una operación de escritura se este efectuando, facilitando la operación de dispositivos en sistemas con I/O común.

En la unidad de memoria mostrada en la figura 4.12 se nota la

ventaja de la selección coincidente, pues si la unidad la organizamos para usar selección lineal necesitaríamos un decodificador, pero con 4096 salidas.

#### 4.5 Organización de un sistema de memoria RAM

Varias unidades de memoria pueden ser interconectados para formar un sistema de memoria con la finalidad de aumentar su capacidad.

La capacidad puede ser aumentada incrementando el número de palabras y/o la longitud de palabra por encima del límite de una sola unidad de memoria.

La longitud de palabra es incrementada colocando la salida de otros dispositivos de memoria en paralelo con los ya existentes. Lo anterior aumenta el número de bits por palabra, manteniendo fijo el número de palabras. Esto se ve en la figura 4.13.

En la fig. 4.13 se representa el caso de 3 chips idénticos con una capacidad de 48 bits cada uno organizados en 16 palabras de 3 bit cada uno. Las líneas de direccionamiento A0, A1, A2 y A3 están en paralelo, así como la línea READ/WRITE (RW). Las líneas de salida del chip 1 son bo1, bo2 y bo3, las del chip 2 son bo4, bo5 y bo6 y las del chip 3 son bo7, bo8 y bo9, haciendo en total 9 bits de salida para la nueva palabra aumentada. En forma similar los bits de entrada son bi1..bi9.

Con el arreglo de la fig. 4.13 se obtiene una memoria con capacidad de 16 palabras de 9 bits cada una. Con chips

adicionales en paralelo se puede aumentar aun más el número de bits por palabra.

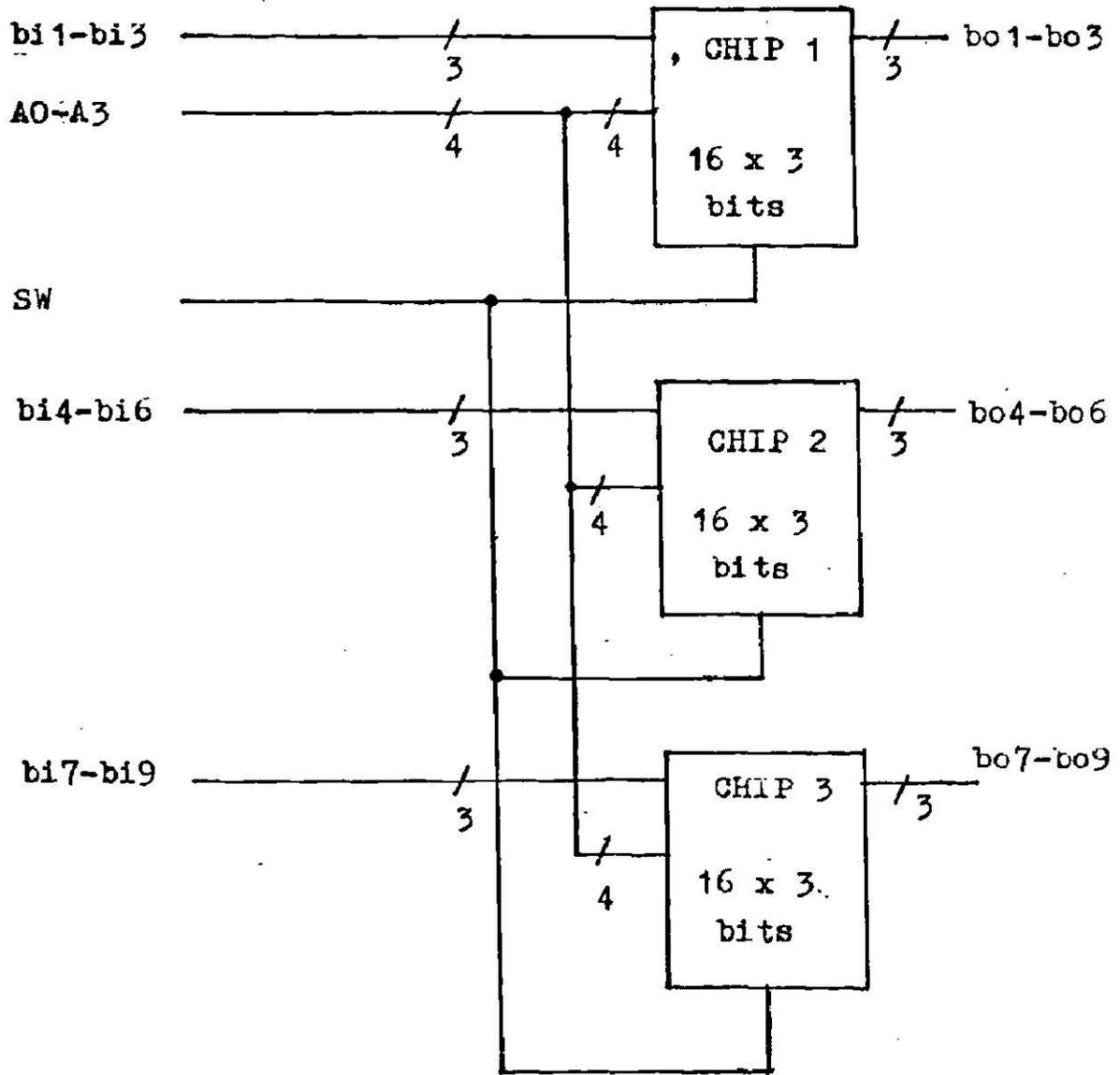


Fig.4.13 Chips de memoria de 16 por 3, conectados en paralelo.

Si chips de memoria de 1K por 1 son colocados en paralelo, la longitud de la palabra en bits es igual al número dispositivos de memoria conectados. En la figura 4.14 se muestra un sistema de 1K por m bits formado con m chips de 1024 por 1 bit.

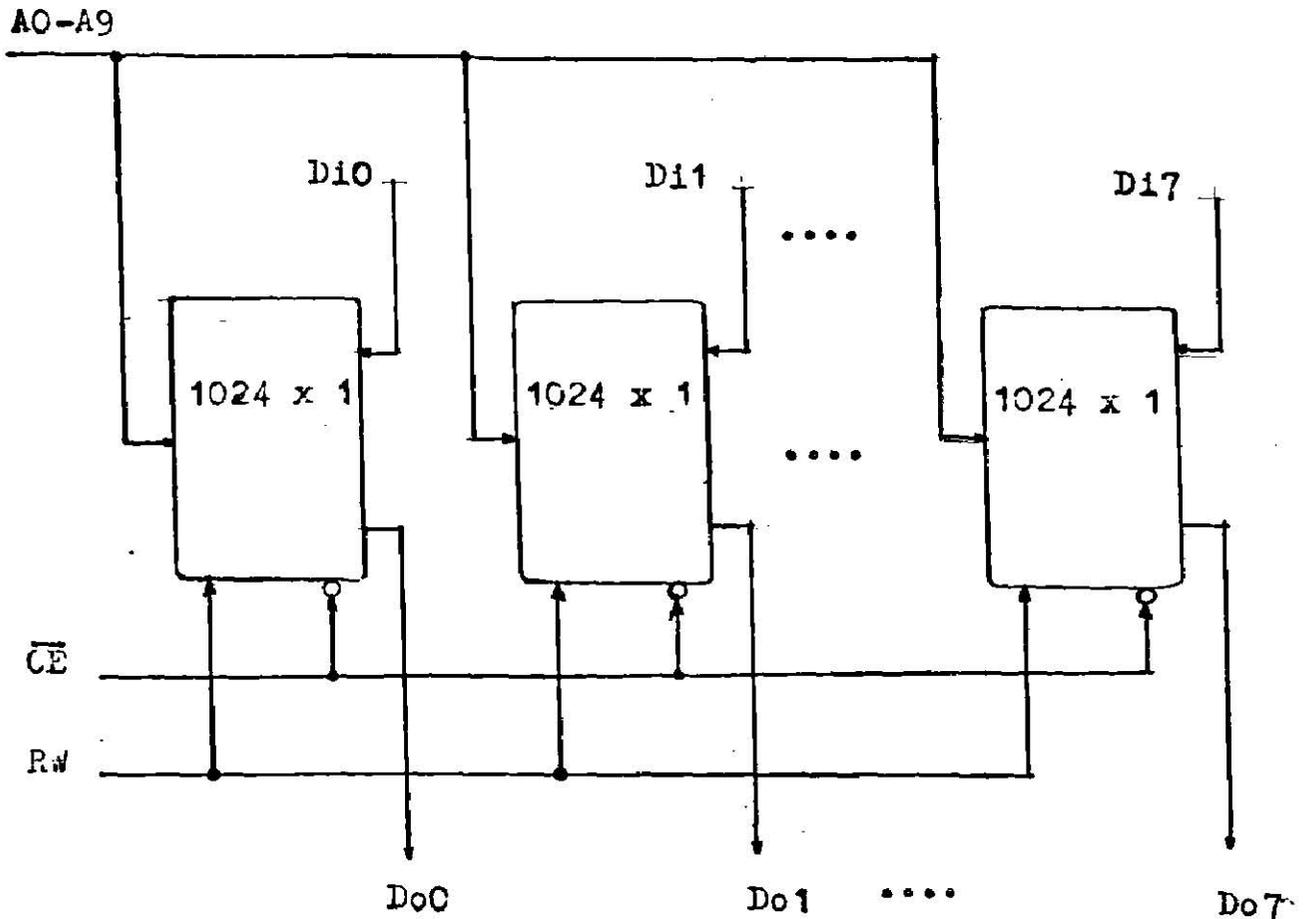


Fig.4.14 Sistema de 1K por 8 usando dispositivos de 1k por 1.

Para incrementar el número de palabras en un sistema de memoria se emplean varios chips controlados por un decodificador como se ve en la figura 4.15, donde se supone que se cuenta con chip de 1K por 8 (1024 palabras de 8 bits).

Cada dispositivo de memoria, de 1K por 8 bits, empleado para formar el sistema mostrado opera en forma similar al de la figura 4.9 (RAM de 8 por 3 bits). El decodificador es el encargado de seleccionar uno de los 8 chips, para ello decodifica los bits que llegan por las líneas A10, A11 y A12.

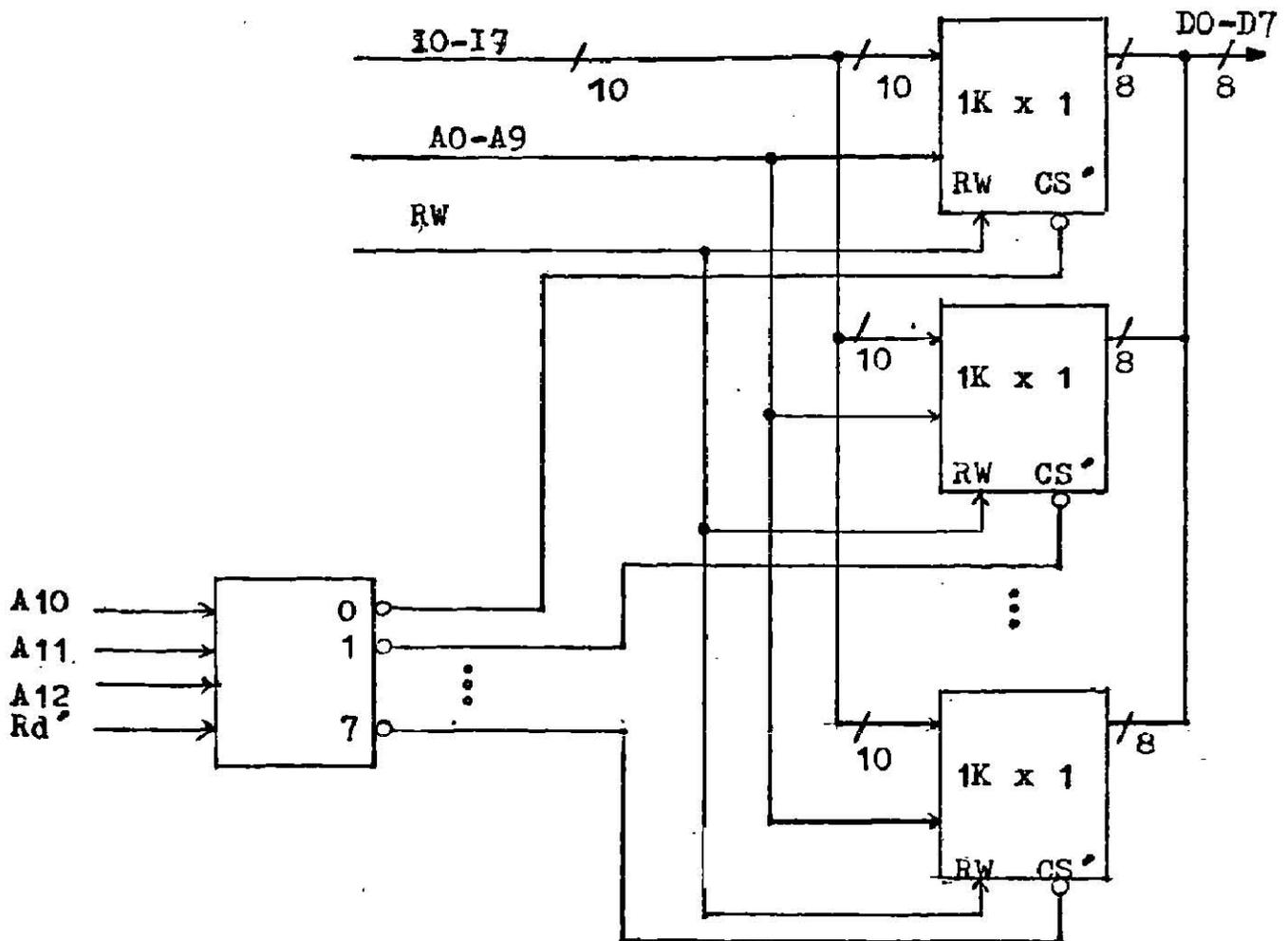


Fig 4.15 Sistema RAM de 8K por 8 bits.

Se debe de tener en mente que, para incrementar el número de palabras a un sistema de memoria, debemos de tener en reserva líneas de direccionamiento, para poder incrementar el número de bits de direccionamiento necesarios.

Cuando se colocan chips de memoria en paralelo para incrementar el número de palabras, es necesario conectar en

paralelo las salidas de cada chip con los demas. Debido a esto se necesita tener un medio que haga posible aislar la unidades que no sean seleccionadas en un momento dado para impedir que afecten la salida. Para resolver el problema se emplean puertas de 3 estados, que ademas de los estados normales 0 lógico y 1 lógico, presenta un tercero que es equivalente a una muy alta impedancia. Lo que hace posible que una línea conectada a este tipo de puerta pueda ser aislada cuando sea necesario.

#### 4.6 Memoria de núcleos magnéticos

Esta formada a base de pequeños elementos de material ferromagnético que tienen forma de anillo y que operan como celda binaria gracias a sus propiedades magnéticas.

Como la dirección de magnetización de un núcleo se puede variar, se emplea un sentido para representar un 1 y el opuesto para el 0. Los núcleos magnéticos presentan la desventaja de que cuando son leídos su contenido es llevado a cero; por eso se dice que son de lectura destructiva, lo que hace necesario un medio para restablecer el contenido original de la celda.

Cada vez que se lee una palabra de memoria su contenido es transferido a un registro externo quedando el registro de memoria lleno con ceros. La restauración de la información se logra tomándola del registro externo y escribiéndola de nuevo en la memoria.

Para formar una unidad de memoria con núcleos magnéticos se

disponen en una estructura en forma de matriz suspendida en una red de alambres. Cada matriz forma un plano de núcleos y una unidad de memoria se forma con varios planos. Cada núcleo es controlado por 4 alambres por los cuales circula corriente. La función de los alambres se da a continuación:

Dos alambres denominados X y Y que se emplean para lectura y escritura.

Un alambre para resolver el problema destructivo del proceso de lectura. Cuando se lee una celda conteniendo un 1, su contenido cambia a 0, induciéndose una corriente en este alambre, lo que indica que hay que restablecer un 1 en ese núcleo.

Un alambre cuya función es impedir que se escriban unos en núcleos que requieren ceros.

Las principales ventajas de los núcleos magnéticos son:

- (a) Son muy confiables una vez almacenada la información, se mantiene indefinidamente.
- (b) Son muy durables pues no se deterioran con el tiempo.
- (c) Como no requieren energía para conservar los datos su costo de operación es relativamente bajo.
- (d) Tienen una capacidad de almacenamiento relativamente alta.
- (e) Presentan baja disipación de calor.

#### 4.7 Memoria de solo lectura (ROM)

Una unidad de memoria de sólo lectura (ROM), almacena información que es permanente. Generalmente durante su fabricación la información es escrita en la memoria y después sólo acepta la operación de lectura. Sin embargo hay ROM en

se permite al usuario establecer la información; siendo conocidas como memorias programables (PROM). Hay también ROM reprogramables, su contenido puede ser cambiado, pero siguen siendo memorias de solo lectura, pues para cambiar la información almacenada hay que interrumpir la operación normal de la unidad de memoria.

Una propiedad muy importante de la memoria ROM es la de ser no volátil, lo que implica que la información contenida en la memoria no se pierde por falta de energía eléctrica. Todo lo contrario ocurre con las memorias secuenciales y RAM de semiconductores, cuya información se pierde al faltar la energía eléctrica, por lo que son conocidas como volátiles.

Una ROM es un codificador. Un codificador es una estructura de puertas lógicas que tiene  $m$  entradas  $W_0, W_1, W_2, \dots, W_{(m-1)}$  y  $n$  salidas  $Z_0, Z_1, Z_2, \dots, Z_{(n-1)}$ . Se diseña para que en cualquier momento una línea  $W_i$  tenga un valor único. Si hacemos que  $W_i$  se encuentre a un nivel ALTO, mientras las demás se encuentran a un nivel BAJO. (Alternativamente podemos tener una línea en 0 y las demás en 1 lógico). A la salida del codificador tendremos una combinación exclusiva para esa entrada. Si el codificador es visto como una memoria, decimos que la  $i$ ésima localidad de memoria es direccionada y la ROM responde presentando a la salida la palabra contenida en esa localidad de memoria.

Como la dirección de una palabra almacenada en una memoria es dada en forma de código con valores arbitrarios en sus bits,

es necesario convertirla a una combinación donde un sólo bit es diferente, para lograrlo se emplea un decodificador, como se ve en la figura 4.16.

<u>A0</u>	<u>A1</u>	<u>Z0</u>	<u>Z1</u>	<u>Z2</u>	<u>Z3</u>	<u>W0</u>	<u>W1</u>	<u>W2</u>	<u>W3</u>
0	0	1	0	0	0	1	0	1	1
0	1	0	1	0	0	0	1	1	0
1	0	0	0	1	0	1	0	1	0
1	1	0	0	0	1	0	1	0	1

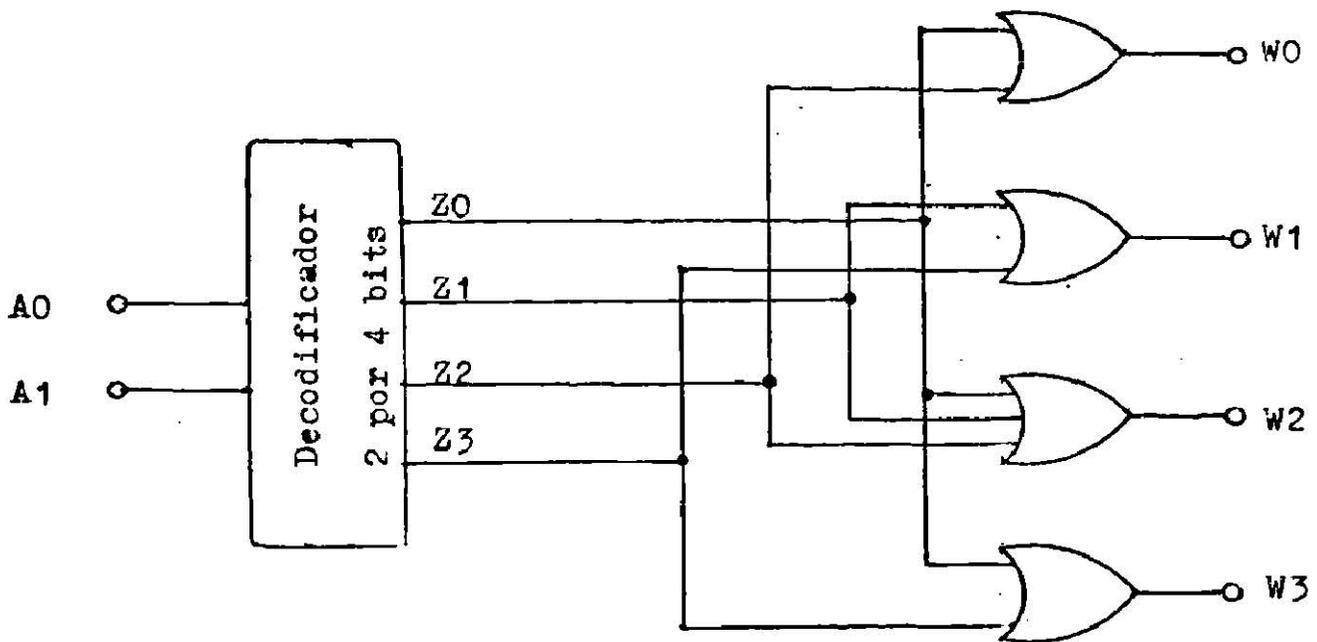


Fig.4.16 ROM de 4 por 4 bits.

#### 4.8 Implementación de una ROMs

En la figura 4.17 se muestra la implementación de la ROM de la figura 4.16 usando diodos, también se ilustra el uso de transistores bipolares y MOS.

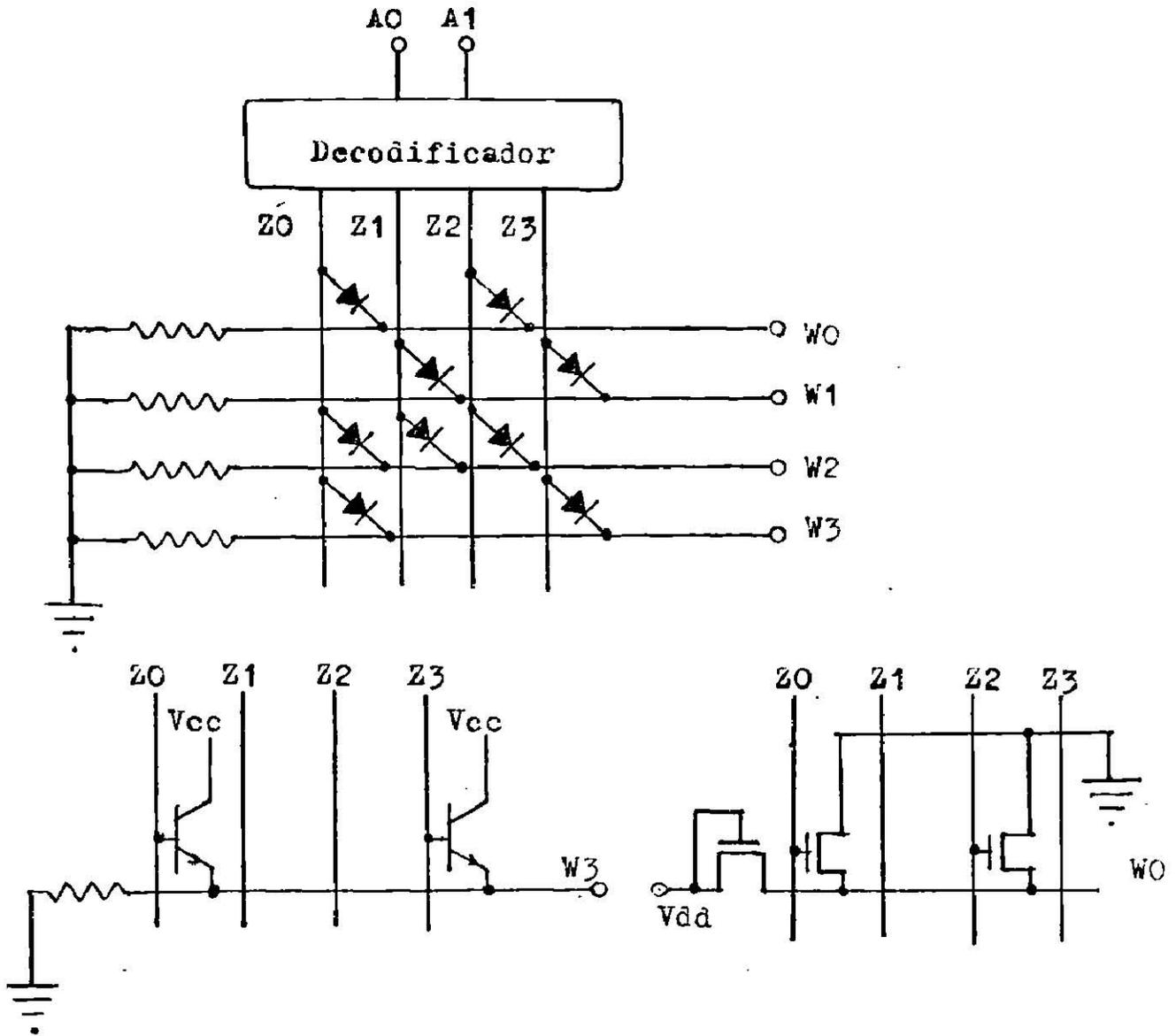


Fig.4.17 ROM de 4 por 4. (a) Con diodos (b) Con transistores bipolares (c) Con transistores MOS.

El uso de diodos tiene la desventaja de que las entradas al codificador debe suplir directamente toda la corriente a ser

entregada a la salida. El problema es resuelto empleando transistores. Como se ve en la figura 4.17(b) y 4.17(c), donde se muestra una línea del circuito de la figura 4.17(a). Para la figura 4.17(b),  $W3=0$ , cuando  $Z1=0$  y  $Z3=0$ . Cuando  $Z2=1$ , la línea  $W3=0$ , esto para la figura 4.17(c).

En la figura 4.18, se ve una unidad ROM con una capacidad de 4096 por 8, (4096 palabras de 8 bits).

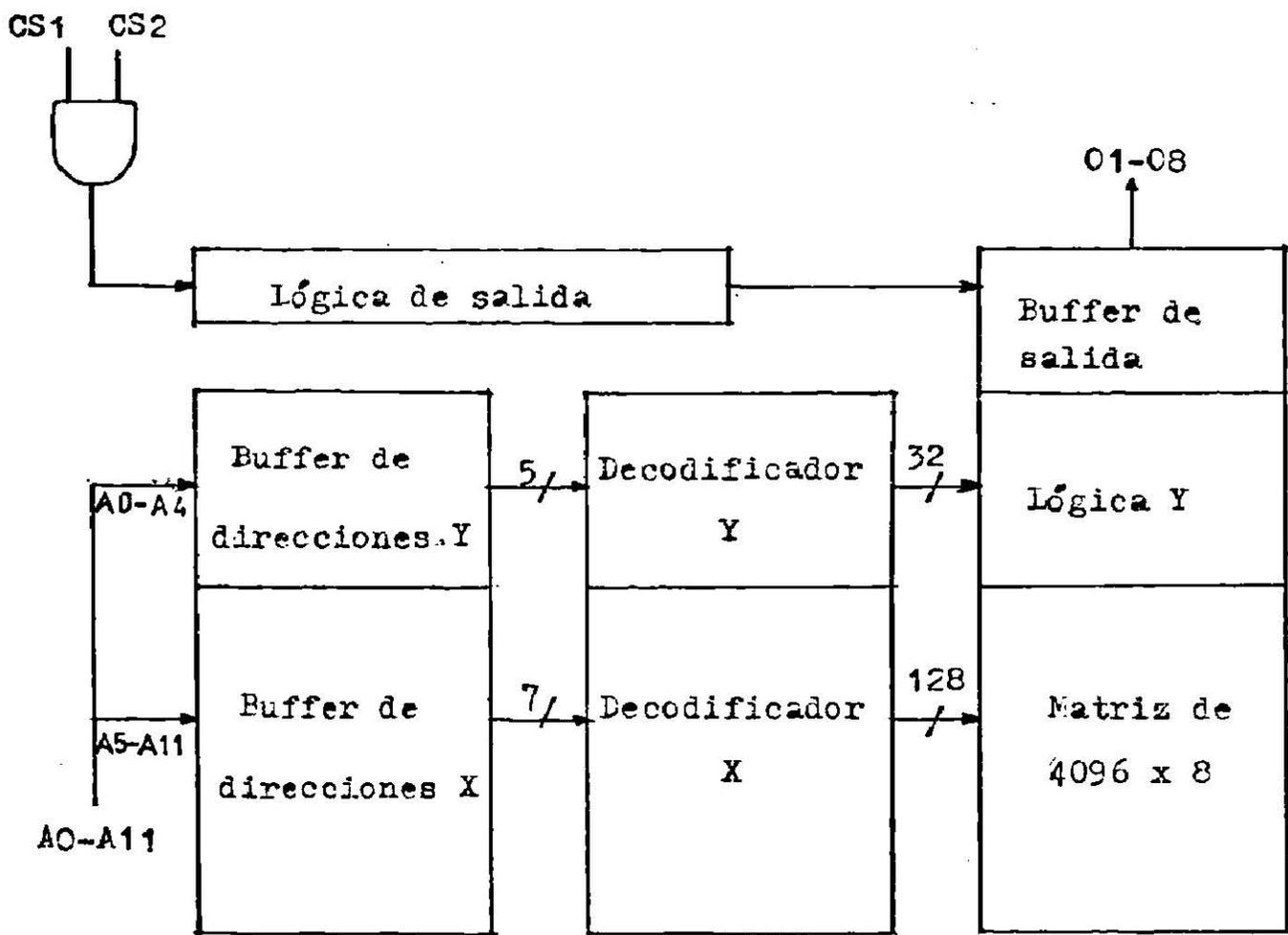


Fig. 4.18 ROM de 4096 por 8 bits.

La operación de la unidad anterior es como sigue:

#### Terminales de direccionamiento (A0 - A11)

Las doce entradas (A0-A11) seleccionan una de las 4096 palabras de ocho bits de longitud dentro de la memoria.

#### Selector de chip (CS1 y CS2)

Cuando ambas señales están activas, las ocho salidas son habilitadas y la palabra de ocho bits direccionada puede ser leída. Cuando cualquiera de los selectores de chip no está activo, todas las salidas están en estado de alta impedancia.

#### Salida de datos

Las ocho salidas deben ser habilitadas por ambos selectores de chip antes de que se pueda leer. Los datos permanecen válidos hasta que la dirección es cambiada o las salidas son inhabilitadas. Cuando lo último ocurre, las salidas que son puertas de tres estados van al estado de alta impedancia.

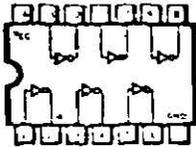
A P E N D I C E

FAIRCHILD HIGH SPEED TTL/SSI • 9H04/54H04, 74H04

HEX INVERTER

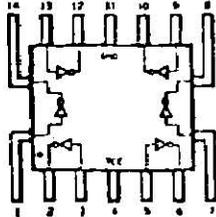
LOGIC AND CONNECTION DIAGRAM

DIP (TOP VIEW)

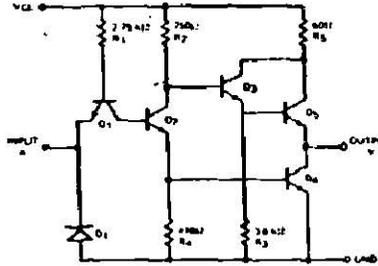


Positive logic:  $Y = \bar{A}$

FLATPAK (TOP VIEW)



SCHEMATIC DIAGRAM (EACH INVERTER)



Component values shown are typical.

RECOMMENDED OPERATING CONDITIONS

PARAMETER	9H04XM/54H04XM			9H04XC/74H04XC			UNITS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	
Supply Voltage $V_{CC}$	4.5	5.0	5.5	4.75	5.0	5.25	Volts
Operating Free-Air Temperature Range	-55	25	125	0	25	70	$^{\circ}$ C
Input Loading for Each Input			1.25			1.25	U.I.

X = package type, F for Flatpak, D for Ceramic Dip, P for Plastic Dip. See Packaging Information Section for packages available on this product.

ELECTRICAL CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (Unless Otherwise Noted)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS (Note 1)	TEST FIGURE
		MIN.	TYP. (Note 2)	MAX.			
$V_{IH}$	Input HIGH Voltage	2.0			Volts	Guaranteed Input HIGH Voltage	15
$V_{IL}$	Input LOW Voltage			0.8	Volts	Guaranteed Input LOW Voltage	16
$V_{OH}$	Output HIGH Voltage	2.4			Volts	$V_{CC} = \text{MIN.}, I_{OH} = -0.5 \text{ mA}, V_{IN} = 0.8 \text{ V}$	16
$V_{OL}$	Output LOW Voltage			0.4	Volts	$V_{CC} = \text{MIN.}, I_{OL} = 20 \text{ mA}, V_{IN} = 2.0 \text{ V}$	15
$I_{IH}$	Input HIGH Current			50	$\mu$ A	$V_{CC} = \text{MAX.}, V_{IN} = 2.4 \text{ V}$	18
				1.0	mA	$V_{CC} = \text{MAX.}, V_{IN} = 5.5 \text{ V}$	
$I_{IL}$	Input LOW Current			-2.0	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0.4 \text{ V}$	18
$I_{OS}$	Output Short Circuit Current (Note 3)	-40		-100	mA	$V_{CC} = \text{MAX.}$	19
$I_{CCH}$	Supply Current HIGH		16	26	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0 \text{ V}$	20
$I_{CCL}$	Supply Current LOW		40	58	mA	$V_{CC} = \text{MAX.}, V_{IN} = 4.5 \text{ V}$	20

SWITCHING CHARACTERISTICS ( $T_A = 25^{\circ}$ C)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS	TEST FIGURE
		MIN.	TYP.	MAX.			
$t_{PLH}$	Turn Off Delay Input to Output		6.5	7.0	ns	$V_{CC} = 5.0 \text{ V}$ $C_L = 25 \text{ pF}$ $R_L = 280 \Omega$	T
$t_{PHL}$	Turn On Delay Input to Output		9.0	13	ns		

NOTES:

(1) For conditions shown as MIN. or MAX., use the appropriate value specified under recommended operating conditions for the applicable device type.

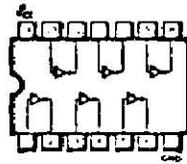
(2) Typical limits are at  $V_{CC} = 5.0 \text{ V}, 25^{\circ}$ C.

(3) Not more than one output should be shorted at a time, and duration of short-circuit test should not exceed 1 second.

FAIRCHILD SUPER HIGH SPEED TTL/SSI • 9S04/54S04, 74S04 • 9S04A

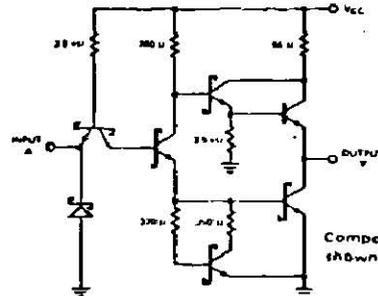
HEX INVERTER

LOGIC AND CONNECTION DIAGRAM  
DIP (TOP VIEW)



Positive logic:  $Y = \bar{A}$

SCHEMATIC DIAGRAM  
(EACH INVERTER)



Component values shown are typical.

RECOMMENDED OPERATING CONDITIONS

PARAMETER	9S04XM/54S04XM 9S04AXM			9S04XC/74S04XC 9S04AXC			UNITS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	
Supply Voltage $V_{CC}$	4.5	5.0	5.5	4.75	5.0	5.25	Volts
Operating Free-Air Temperature Range	-55	25	125	0	25	75	$^{\circ}$ C
Input Loading for Each Input			1.25			1.25	U.L.

X = package type, F for Flatpak, D for Ceramic Dip, P for Plastic Dip. See Packaging Information Section for packages available on this product.

ELECTRICAL CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (Unless Otherwise Noted)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS (Note 1)
		MIN.	TYP. (Note 2)	MAX.		
$V_{IH}$	Input HIGH Voltage	2.0			Volts	Guaranteed Input HIGH Voltage
$V_{IL}$	Input LOW Voltage			0.8	Volts	Guaranteed Input LOW Voltage
$V_{CD}$	Input Clamp Diode Voltage		-0.65	-1.2	Volts	$V_{CC} = \text{MIN.}, I_{IN} = -18 \text{ mA}$
$V_{OH}$	Output HIGH Voltage	XM	2.5	3.4	Volts	$V_{CC} = \text{MIN.}, I_{OH} = -1.0 \text{ mA}, V_{IN} = 0.8 \text{ V}$
		XC	2.7	3.4		
$V_{OL}$	Output LOW Voltage		0.35	0.5	Volts	$V_{CC} = \text{MIN.}, I_{OL} = 20 \text{ mA}, V_{IN} = 2.0 \text{ V}$
$I_{IH}$	Input HIGH Current		1.0	50	$\mu$ A	$V_{CC} = \text{MAX.}, V_{IN} = 2.7 \text{ V}$
				1.0	mA	$V_{CC} = \text{MAX.}, V_{IN} = 5.5 \text{ V}$
$I_{IL}$	Input LOW Current		-1.4	-2.0	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0.5 \text{ V}$
$I_{OS}$	Output Short Circuit Current (Note 3)	-40	-65	-100	mA	$V_{CC} = \text{MAX.}, V_{OUT} = 0 \text{ V}$
$I_{CCH}$	Supply Current HIGH		16.2	24.0	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0 \text{ V}$
$I_{CCL}$	Supply Current LOW		37.8	54.0	mA	$V_{CC} = \text{MAX.}, \text{Inputs Open}$

SWITCHING CHARACTERISTICS ( $T_A = 25^{\circ}$ C)

SYMBOL	PARAMETER		LIMITS			UNITS	TEST CONDITIONS	TEST FIGURES
			MIN.	TYP.	MAX.			
$t_{PLH}$	Turn Off Delay Input to Output	9S04	2.0	3.0	4.5	ns	$V_{CC} = 5.0 \text{ V}$	DD
		9S04A	1.0	2.5	3.5			
$t_{PHL}$	Turn On Delay Input to Output	9S04	2.0	3.0	5.0	ns	$C_L = 15 \text{ pF}$	
		9S04A	1.0	2.5	4.0			

NOTES:

(1) For conditions shown as MIN. or MAX., use the appropriate value specified under recommended operating conditions for the applicable device type.

(2) Typical limits are at  $V_{CC} = 5.0 \text{ V}, 25^{\circ}$ C.

(3) Not more than one output should be shorted at a time.

FAIRCHILD TTL/SSI • 9N05/5405, 7405

HEX INVERTER  
(WITH OPEN-COLLECTOR OUTPUT)

LOGIC AND CONNECTION DIAGRAM

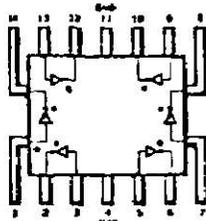
DIP (TOP VIEW)



\*OPEN COLLECTOR

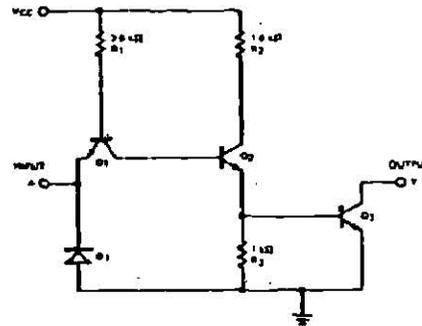
Positive logic:  $Y = \bar{A}$

FLATPAK (TOP VIEW)



\*OPEN COLLECTOR

SCHMATIC DIAGRAM  
(EACH INVERTER)



Component values shown are typical.

RECOMMENDED OPERATING CONDITIONS

PARAMETER	9N05XM/5405XM			9N05XC/7405XC			UNITS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	
Supply Voltage $V_{CC}$	4.5	5.0	5.5	4.75	5.0	5.25	Volts
Operating Free-Air Temperature Range	-55	25	125	0	25	70	$^{\circ}$ C
Normalized Fan-Out from Each Output, N			10			10	U.L.

X = package type, F for Flatpak, D for Ceramic Dip, P for Plastic Dip. See Packaging Information Section for packages available on this product.

ELECTRICAL CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (Unless Otherwise Noted)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS (Note 1)	TEST FIGURE
		MIN.	TYP. (Note 2)	MAX.			
$V_{IH}$	Input HIGH Voltage	2.0			Volts	Guaranteed Input HIGH Voltage	15
$V_{IL}$	Input LOW Voltage			0.8	Volts	Guaranteed Input LOW Voltage	17
$I_{OH}$	Output HIGH Current			0.25	mA	$V_{CC} = \text{MIN.}, V_{OH} = 5.5 \text{ V}, V_{IN} = 0.8 \text{ V}$	17
$V_{OL}$	Output LOW Voltage			0.4	Volts	$V_{CC} = \text{MIN.}, I_{OL} = 16 \text{ mA}, V_{IN} = 2.0 \text{ V}$ (On Level)	15
$I_{IH}$	Input HIGH Current			40	$\mu$ A	$V_{CC} = \text{MAX.}, V_{IN} = 2.4 \text{ V}$	18
				1.0	mA	$V_{CC} = \text{MAX.}, V_{IN} = 5.5 \text{ V}$	
$I_{IL}$	Input LOW Current			-1.6	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0.4 \text{ V}$	18
$I_{CCH}$	Supply Current HIGH		5	12	mA	$V_{IN} = 0 \text{ V}$	20
$I_{CCL}$	Supply Current LOW		18	33	mA	$V_{IN} = 5 \text{ V}$	

SWITCHING CHARACTERISTICS ( $T_A = 25^{\circ}$ )

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS	TEST FIGURE
		MIN.	TYP.	MAX.			
$t_{PLH}$	Turn Off Delay Input to Output		40	55	ns	$R_L = 4 \text{ k}\Omega$	A
$t_{PHL}$	Turn On Delay Input to Output		8.0	15	ns	$R_L = 400 \Omega$	

NOTES:

- (1) For conditions shown as MIN. or MAX., use the appropriate value specified under recommended operating conditions for the applicable device type.
- (2) Typical limits are at  $V_{CC} = 5.0 \text{ V}, T_A = 25^{\circ}\text{C}$ .

# TTL/MSI 9318

## EIGHT-INPUT PRIORITY ENCODER

**DESCRIPTION** — The TTL/MSI 9318 is a Multipurpose Encoder designed to accept eight inputs and produce a binary weighted code of the highest order input. The circuit uses TTL for high speed and high fanout capability, and is compatible with all members of the Fairchild TTL family.

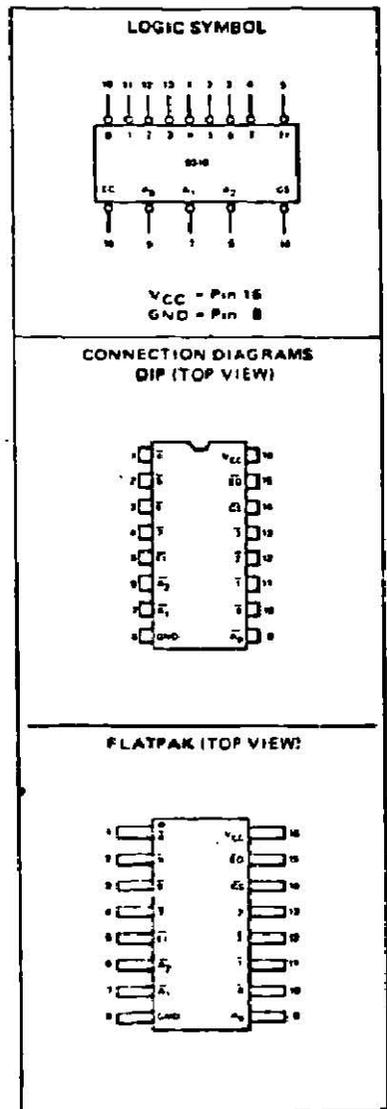
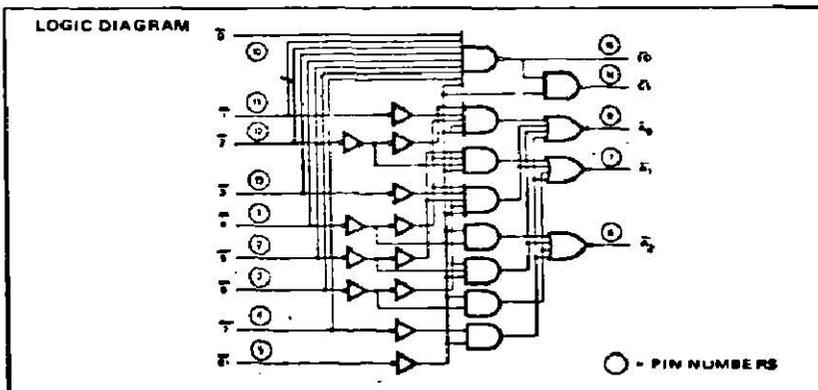
- **MULTI-FUNCTION CAPABILITY**
  - CODE CONVERSIONS
  - MULTI-CHANNEL D/A CONVERTER
  - DECIMAL TO BCD CONVERTER
  - CASCADING FOR PRIORITY ENCODING OF N BITS
- **INPUT ENABLE CAPABILITY**
  - PRIORITY ENCODING — AUTOMATIC SELECTION OF HIGHEST PRIORITY INPUT LINE
  - OUTPUT ENABLE — ACTIVE LOW WHEN ALL INPUTS HIGH
  - GROUP SIGNAL OUTPUT — ACTIVE WHEN ANY INPUT IS LOW
  - TYPICAL POWER DISSIPATION OF 250 mW
  - INPUT/OUTPUT CHARACTERISTICS PROVIDE EASY INTERFACING WITH FAIRCHILD DTL, LPTTL, TTL, AND MSI FAMILIES
  - ALL CERAMIC HERMETIC 16-LEAD DUAL IN-LINE PACKAGE
  - INPUT CLAMP DIODES LIMIT HIGH SPEED TERMINATION EFFECTS

**PIN NAMES**

PIN NAMES		LOADING
$\bar{0}$	Priority (Active LOW) Input	1 U.L.
$\bar{1}$ to $\bar{7}$	Priority (Active LOW) Inputs	2 U.L.
$\bar{E1}$	Enable (Active LOW) Input	2 U.L.
$\bar{E0}$	Enable (Active LOW) Output	10 U.L.*
$\bar{GS}$	Group Select (Active LOW) Output	10 U.L.*
$A_0, A_1, A_2$	Address (Active LOW) Outputs	10 U.L.*

**NOTES:**

- a. 1 Unit Load (U.L.) = 40  $\mu$ A HIGH/1.6 mA LOW
- b. 10 U.L. is the output LOW drive factor and 20 U.L. is the output HIGH drive factor



FAIRCHILD LPTTL/MSI • 93L18

**FUNCTIONAL DESCRIPTION** - The LPTTL/MSI 93L18 8-input priority encoder accepts data from eight active LOW inputs and provides a binary representation on the three active LOW outputs. A priority is assigned to each input so that when two or more inputs are simultaneously active, the input with the highest priority is represented on the output, with input line 7 having the highest priority.

A HIGH on the input enable ( $\overline{E}$ ) will force all outputs to the inactive (HIGH) state and allow new data to settle without producing erroneous information at the outputs.

Provided with the three data outputs are a group signal output ( $\overline{GS}$ ) and an enable output ( $\overline{EO}$ ). The  $\overline{GS}$  is active level LOW when any input is LOW; this indicates when any input is active. The  $\overline{EO}$  is active level LOW when all inputs are HIGH. Using the output enable along with the input enable allows priority encoding of N input signals. Both  $\overline{EO}$  and  $\overline{GS}$  are inactive when the input enable is HIGH.

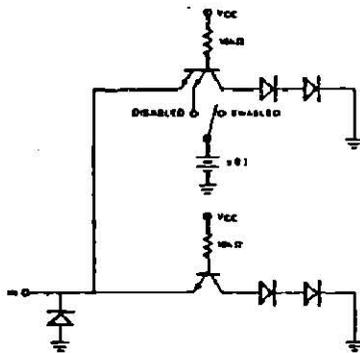
TRUTH TABLE

$\overline{E}$	$\overline{0}$	$\overline{1}$	$\overline{2}$	$\overline{3}$	$\overline{4}$	$\overline{5}$	$\overline{6}$	$\overline{7}$	$\overline{GS}$	$\overline{A_0}$	$\overline{A_1}$	$\overline{A_2}$	$\overline{EO}$
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	L	L	H
L	X	X	X	X	L	H	H	H	L	H	H	L	H
L	X	X	X	L	H	H	H	H	L	L	L	H	H
L	X	X	L	H	H	H	H	H	L	H	L	H	H
L	X	L	H	H	H	H	H	H	L	L	H	H	H
L	L	H	H	H	H	H	H	H	L	H	H	H	H

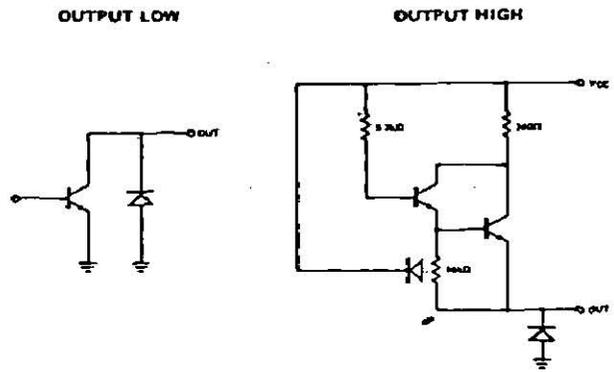
H = HIGH Voltage Level  
 L = LOW Voltage Level  
 X = Don't Care

TYPICAL INPUT AND OUTPUT CIRCUITS

INPUTS EQUIVALENT CIRCUIT



OUTPUTS EQUIVALENT CIRCUIT



ABSOLUTE MAXIMUM RATINGS (above which the useful life may be impaired)

- Storage Temperature
- Temperature (Ambient) Under Bias
- V<sub>CC</sub> Pin Potential to Ground Pin
- \*Input Voltage (dc)
- \*Input Current (dc)
- Voltage Applied to Outputs (Output HIGH)
- Output Current (dc) (Output LOW)

- 65° C to +150° C
- 55° C to +125° C
- 0.5 V to +7.0 V
- 0.5 V to +5.5 V
- 30 mA to +5.0 mA
- 0.5 V to +V<sub>CC</sub> value
- +30 mA

\*Either Input Voltage limit or Input Current limit is sufficient to protect the inputs.

# TTL/MSI 9322

## QUAD TWO-INPUT MULTIPLEXER

**DESCRIPTION** - The TTL/MSI 9322 is a Monolithic, High Speed, Quad Two-Input Digital Multiplexer Circuit, constructed with the Fairchild Planar\* epitaxial process. It consists of four multiplexing circuits with common select and enable logic; each circuit contains two inputs and one output. The circuit uses TTL for high speed, high fan out operation and is compatible with all other members of the Fairchild TTL family.

- MULTIFUNCTION CAPABILITY\*
- 20 ns THROUGH DELAY
- ON-CHIP SELECT LOGIC DECODING
- FULLY BUFFERED OUTPUTS
- THE INPUT/OUTPUT CHARACTERISTICS PROVIDE EASY INTERFACING WITH FAIRCHILD DTL, LPDTL, TTL, AND MSI FAMILIES
- INPUT CLAMP DIODES LIMIT HIGH SPEED TERMINATIONS EFFECTS

**PIN NAMES**

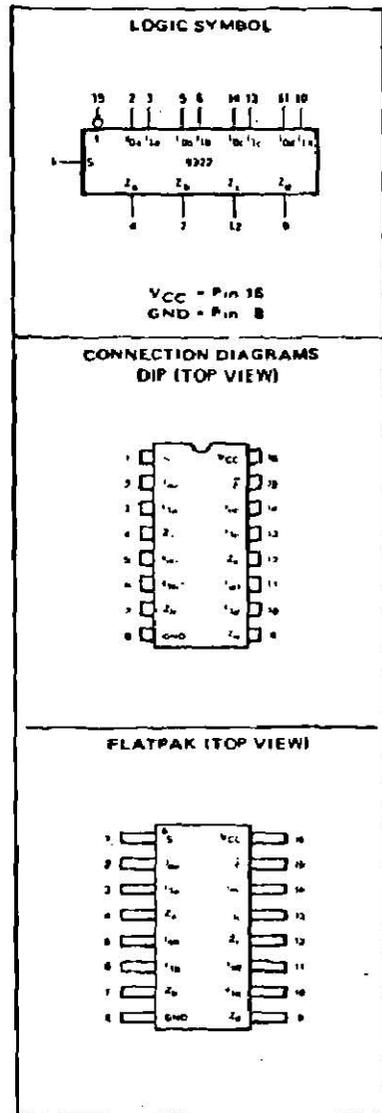
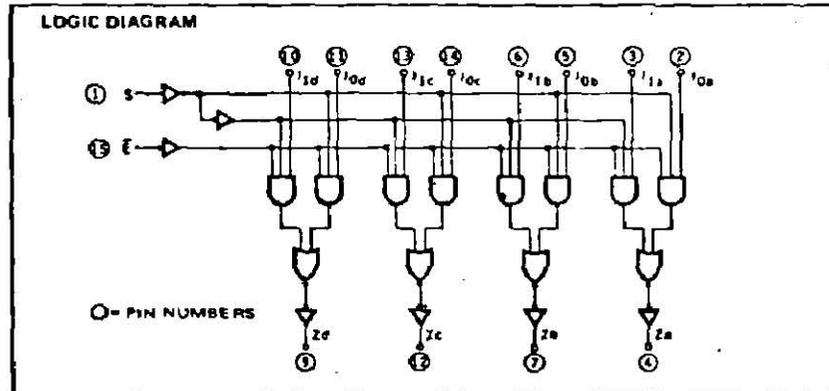
S	Common Selected Input	
E	Enable (Active LOW) Inputs	
$I_{0a}, I_{1a}, I_{0b}, I_{1b}$	Multiplexer Inputs	
$I_{0c}, I_{1c}, I_{0d}, I_{1d}$		
$Z_a, Z_b, Z_c, Z_d$	Multiplexer Output (Note b)	

**LOADING**  
(Note a)

1 U.L.
1 U.L.
1 U.L.
10 U.L.

**Notes:**

- a. 1 Unit Load (U.L.) = 40  $\mu$ A HIGH/1.6 mA LOW
- b. 10 U.L. is the output LOW drive factor and 20 U.L. is the output HIGH drive factor.



\* Planar is a patented Fairchild process.

FAIRCHILD TTL/MSI • 9322

**FUNCTIONAL DESCRIPTION** — The 9322 quad 2-input multiplexer is a member of the Fairchild family of compatible Medium Scale Integrated (MSI) digital building blocks. It provides this family with the ability to select four bits of either data or control from two sources, in one package. The Enable input (E) is active LOW. When not activated all outputs (Z) are LOW regardless of all other inputs.

The 9322 quad 2-input multiplexer is the logical implementation of a four-pole, two position switch, with the position of the switch being set by the logic levels supplied to the one select input. The logic equations for the outputs are shown below:

$$Z_a = E \cdot (I_{1a} \cdot S + I_{0a} \cdot \bar{S}) \quad Z_b = E \cdot (I_{1b} \cdot S + I_{0b} \cdot \bar{S})$$

$$Z_c = E \cdot (I_{1c} \cdot S + I_{0c} \cdot \bar{S}) \quad Z_d = E \cdot (I_{1d} \cdot S + I_{0d} \cdot \bar{S})$$

A common use of the 9322 is the moving of data from a group of registers to four common output buses. The particular register from which the data comes is determined by the state of the select input. A less obvious use is as a function generator. The 9322 can generate four functions of two variables with one variable common. This is useful for implementing gating functions.

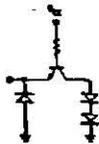
TRUTH TABLE

ENABLE	SELECT INPUT	INPUTS		OUTPUT
E	S	I <sub>0X</sub>	I <sub>1X</sub>	Z <sub>X</sub>
H	X	X	X	L
L	H	X	L	L
L	H	X	H	H
L	L	L	X	L
L	L	H	X	H

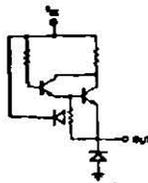
- H = HIGH Voltage Level
- L = LOW Voltage Level
- X = Either HIGH or LOW Logic Level

TYPICAL INPUT AND OUTPUT CHARACTERISTICS

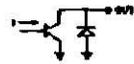
INPUT EQUIVALENT CIRCUIT



OUTPUT EQUIVALENT CIRCUIT (Output HIGH)



OUTPUT EQUIVALENT CIRCUIT (Output LOW)



INPUT CURRENT VERSUS INPUT VOLTAGE

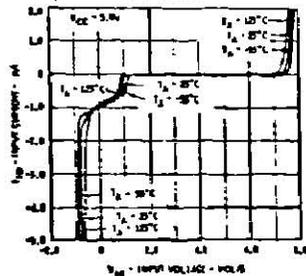


Fig. 1.

OUTPUT CURRENT VERSUS OUTPUT VOLTAGE (OUTPUT HIGH)

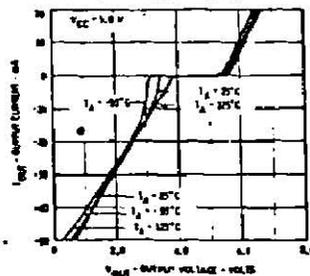


Fig. 2.

OUTPUT CURRENT VERSUS OUTPUT VOLTAGE (OUTPUT LOW)

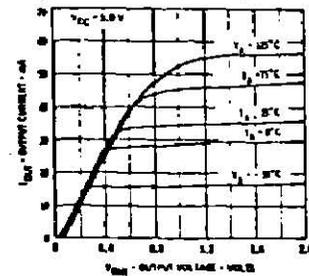


Fig. 3.

# TTL MEMORY 93403

## 64-BIT FULLY DECODED READ/WRITE MEMORY

FORMERLY 4103

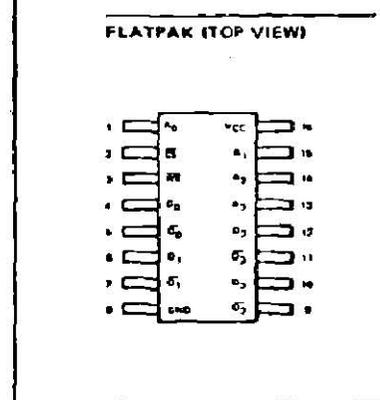
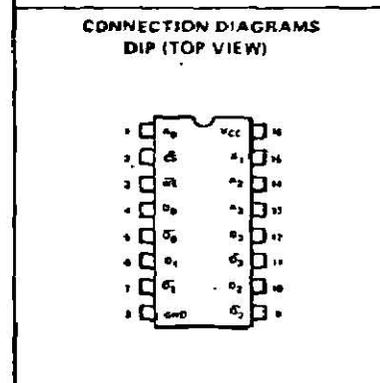
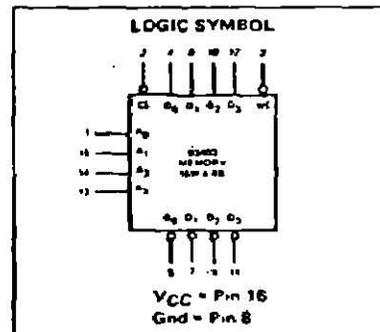
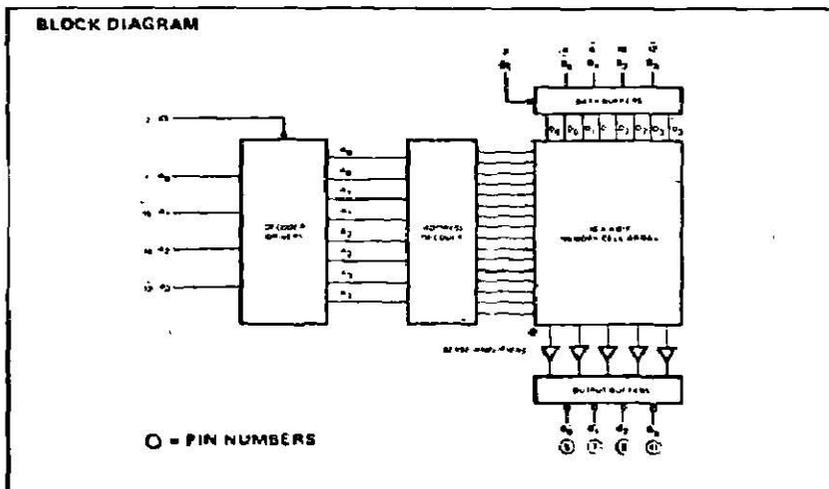
**DESCRIPTION** - The 93403 is a high speed 64-Bit Read/Write Memory organized 16 words by four bits. Four address lines are buffered and decoded "on chip" for word selection. The 93403 is made with TTL circuitry and all inputs are equivalent to one TTL load.

**OPERATION** - When the 93403 receives a LOW at the Chip Select ( $\overline{CS}$ ) input, the binary address ( $A_0, A_1, A_2$  and  $A_3$ ) is decoded to select one of sixteen 4-bit words. If the Write Enable ( $\overline{WE}$ ) is at a HIGH level, the contents of the selected word are non-destructively read out and the sense amplifier outputs ( $\overline{O}_0, \overline{O}_1, \overline{O}_2$  and  $\overline{O}_3$ ) reflect the state of the stored data in the four bits of the selected word. If the Write Enable is LOW, the data present on the Data Input lines ( $D_0, D_1, D_2$  and  $D_3$ ) is written into the four bits of the selected word. Note that there is inversion through the device in a read operation.

- OUTPUT WIRED-OR CAPABILITY
- ON CHIP DECODING
- NON DESTRUCTIVE READOUT
- CHIP SELECT FOR SYSTEM WORD EXPANSION
- TTL COMPATIBLE

**ABSOLUTE MAXIMUM RATINGS** (above which the useful life may be impaired)

Storage Temperature	-65° C to +150° C
Temperature (Case) Under Bias	-55° C to +125° C
V <sub>CC</sub> Pin Potential to Ground	-0.5 V to +8.0 V
Input Pin Voltage	-1.5 V to +5.5 V
Current Into Output Terminal	100 mA
Output Voltage (external circuit dependent)	-0.5 V to +8.0 V



# TTL MEMORY 93407 • 93433

## 16-BIT COINCIDENT SELECT READ/WRITE MEMORY

FORMERLY 5033 • 9033

**DESCRIPTION** — These devices are Planar<sup>®</sup> epitaxial integrated 16-bit, bit-oriented, non-destructive readout memory cells, compatible with Fairchild TTL. These memory cells, organized as 16 words by one bit, are designed for high speed scratch-pad memory applications. The 93407 and 93433 are electrically identical, but with different pin configurations. Both devices are available in two fan out options, 40 mA (A) and 20 mA (B) for Industrial/Commercial temperature range.

**OPERATION** — The memory cell consists of 16 RS flip-flops arranged in an addressable four-by-four matrix. The desired bit location is selected by raising the coincident X-Y address lines to a logic "H" level (>2.1 volts) and holding the non-selected address lines at logic "L" level (<0.7 volts). As many as four locations may be addressed simultaneously without destroying stored information. The stored data and its complement at the addressed bit location may be read at the output terminals. If the addressed bit location contains a "1", the  $S_1$  output will be LOW and the  $S_0$  output will be HIGH. If the addressed bit location contains a "0", the  $S_1$  output will be HIGH and the  $S_0$  output will be LOW.

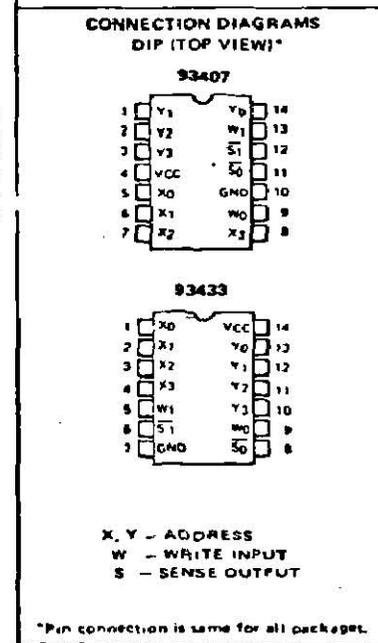
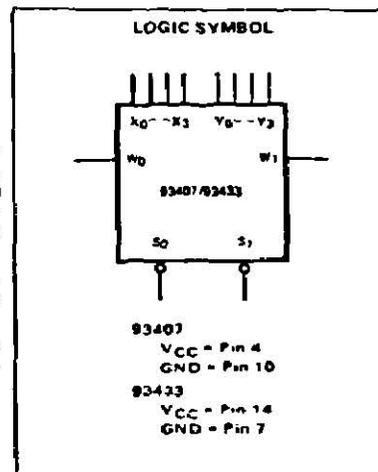
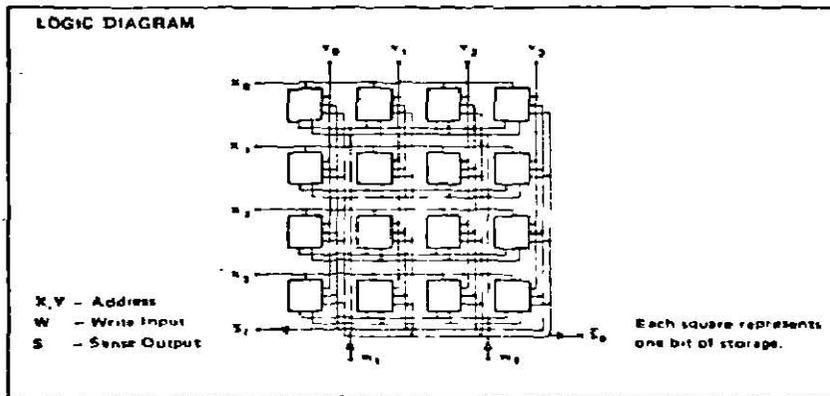
Writing is accomplished by activating one of the write amplifiers. To write a "1", the desired bit location is addressed and the input of the "write one" ( $W_1$ ) amplifier is raised to a HIGH level. To write a "0", the input of the "write zero" ( $W_0$ ) amplifier is raised to a HIGH level.

The outputs are open-collector, which may be wired OR for word expansion. (The output transistors are off when none of the bits are selected.) An external resistor should be returned to  $V_{CC}$  to pull-up the wired OR outputs.

- TTL COMPATIBLE
- OUTPUT WIRED OR CAPABILITY
- TRUE AND COMPLEMENTARY OUTPUTS ARE PROVIDED
- NON DESTRUCTIVE READ OUT
- FAN OUT AVAILABLE IN TWO GRADES, A = 40 mA, B = 20 mA FOR INDUSTRIAL/COMMERCIAL TEMPERATURE RANGE

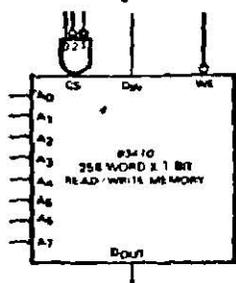
**ABSOLUTE MAXIMUM RATINGS** (above which the useful life may be impaired)

Storage Temperature	-65°C to +150°C
Temperature (Ambient) Under Bias	-55°C to +125°C
$V_{CC}$ Pin Potential to Ground	-0.5 V to +8.0 V
Input Pin Voltage	-1.5 V to +5.5 V
Current Into Output Terminal	100 mA
Output Voltage	-0.5 V to +8.0 V



Hojas de datos de fabricantes de CI

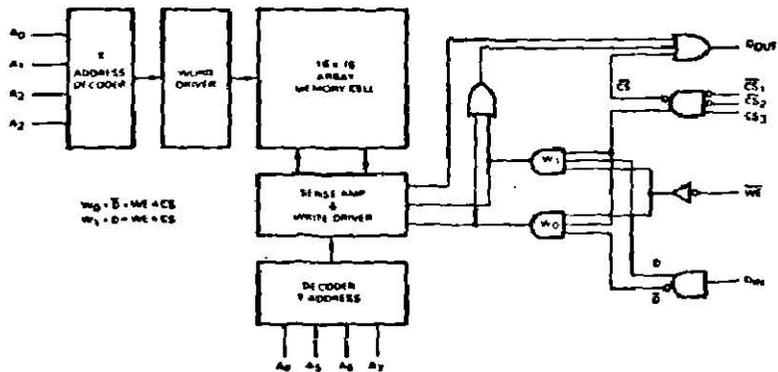
DESCRIPTION AND OPERATION



INPUTS				OUTPUT		MODE
$\overline{CS}_1$	$\overline{CS}_2$	$CS_3$	$\overline{WE}$	$D_{IN}$	$D_{OUT}$	
H	X	X	X	X	H	Not Selected
X	H	X	X	X	H	Not Selected
X	X	L	X	X	H	Not Selected
L	L	H	L	L	H	Write Zero
L	L	H	L	H	H	Write One
L	L	H	H	X	$D_{OUT}$	Read data from addressed location

LEADS	LOADING
$\overline{CS}_1, \overline{CS}_2, CS_3$	0.5 UL
$A_0 - A_7$	0.5 UL
$D_{IN}$	0.5 UL
$D_{OUT}$	10 UL
$\overline{WE}$	0.5 UL

1 UL = 40  $\mu$ A High/1.6 mA Low  
10 UL is the output Low drive factor. An external pull up resistor is needed to provide High level drive capability. This output will sink 16 mA max. at  $V_{OUT} = 0.45$  V.



The 93410 and 93410A are high-speed 256-bit TTL random access read-write memories with full decoding on the chip. Each memory, organized as 256 words x 1 bit, is designed for scratchpad, buffer and distributed main memory applications. Both devices have three Chip Select inputs to simplify their use in larger memory systems. Address input lead locations are specifically chosen to permit maximum package density and to provide ease of PC board layout. An uncommitted collector output is available to permit OR-ties for easy memory expansion.

The 93410A is a high speed version of the 93410, offering a 35 ns access time. Since the 93410 and 93410A logic functions are the same, the term 93410 used in the following discussion applies to both types.

As shown in the logic diagram, word selection is achieved with the 8-bit address input,  $A_0 - A_7$ . Three Chip Select inputs are provided — two active Low ( $\overline{CS}_1$  and  $\overline{CS}_2$ ) and one active High ( $CS_3$ ) — for maximum logic flexibility. This permits memory array expansion up to 2048 words without additional external decoders. For larger memories, the fast Chip Select access time permits the decoding of Chip Select from the address without increasing address access time. The read and write

operations are controlled by the state of the active Low Write Enable  $\overline{WE}$ . With  $\overline{WE}$  held Low and the chip selected, the data at  $D_{IN}$  is written into the addressed location. To read,  $\overline{WE}$  is held High and the chip selected. Data in the specified location is presented at  $D_{OUT}$  and is not inverted.

In many applications such as memory expansion, the outputs of many 93410s can be tied together. In other applications the wired-OR is not used. In either case, an external pull up resistor  $R_L$  must be used to provide a High at the output when it is off. Any value of  $R_L$  within the range specified below may be used.

$$\frac{5.25}{16 - FO (1.6)} < R_L < \frac{2.25}{n (0.05) + FO (0.04)}$$

Where  $R_L$  is in  $k\Omega$

$n$  = number of wired-OR outputs tied together

$FO$  = number of TTL Unit Loads (UL) driven

The minimum value of  $R_L$  is limited by output current sinking ability. Maximum  $R_L$  is determined by the output and input leakage current which must be supplied to hold the output at the required output high voltage  $V_{OH}$ .

# TTL MEMORY 93434

## 256-BIT READ-ONLY MEMORY

FORMERLY 9034

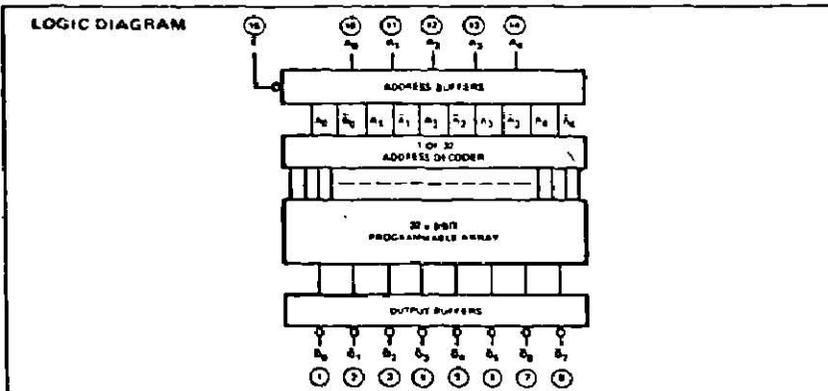
**DESCRIPTION** - The Fairchild 93434 is a 256-Bit bipolar TTL Read-Only Memory. The memory is organized as 32 words of eight bits each. The words are selected through five address lines. The eight outputs of the words are uncommitted collectors which may be wired-OR with the outputs of other ROMs. An Enable input is provided for additional decoding flexibility. A HIGH on the Enable input forces all outputs to be HIGH.

The contents of the memory are permanently programmed to customer order. A customer order form is available on request.

- TTL COMPATIBLE
- OUTPUT WIRED OR CAPABILITY
- SINGLE TTL LOAD INPUTS
- INPUT CLAMP DIODES

**ABSOLUTE MAXIMUM RATINGS**

Storage Temperature	-65°C to +150°C
Temperature (Ambient) Under Bias	-55°C to +125°C
VCC Pin Potential to Ground	-0.5V to +8.0V
Input Pin Voltage	-1.5V to 5.5V
Current Into Output Terminal	100 mA
Output Voltages	-0.5 V to VCC Value



**LOGIC SYMBOL**

VCC = PIN 16  
GND = PIN 8

---

**CONNECTION DIAGRAMS**  
DIP (TOP VIEW)

---

**FLATPAK (TOP VIEW)**

# 3512

## .2048-BIT READ ONLY MEMORY

### FAIRCHILD SILICON GATE MOS INTEGRATED CIRCUIT

**GENERAL DESCRIPTION** — The 3512 is a 2048-bit Read Only Memory organized in a 256-word by 8-bit format. It is an MOS monolithic integrated circuit utilizing P-channel enhancement mode silicon gate technology.

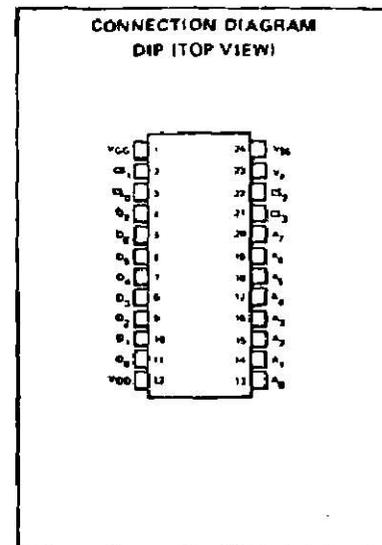
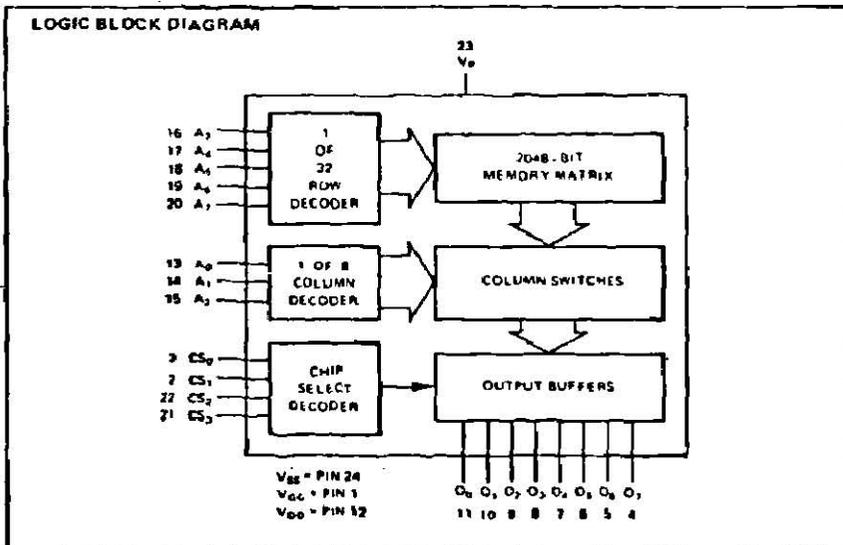
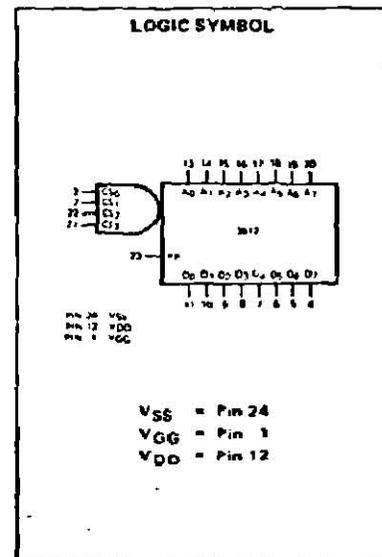
- **STATIC — NO CLOCK REQUIRED**
- **INTERFACES DIRECTLY WITH TTL — NO EXTERNAL COMPONENTS**
- **400 ns TYPICAL ACCESS TIME**
- **4-BIT PROGRAMMABLE CHIP SELECT CODE**
- **WIRED-OR CAPABILITY ON OUTPUTS**

**APPLICATIONS**

- Code Conversion
- Micro Programming
- Table Lookup
- Control Logic

**ABSOLUTE MAXIMUM RATINGS**

Storage Temperature (T <sub>S</sub> )	-65°C to +150°C
Operating Temperature (T <sub>A</sub> )	0°C to +70°C
Voltage on any Pin (V <sub>SS</sub> = GND)	-20 V to +0.3 V



FAIRCHILD MOS INTEGRATED CIRCUIT • 3512

**FUNCTIONAL DESCRIPTION** - An 8-bit binary address presented at the address inputs (A<sub>0</sub>-A<sub>7</sub>) will cause a corresponding 8-bit word to appear on the data outputs (O<sub>0</sub>-O<sub>7</sub>). The 4-bit programmable chip select allows expansion up to sixteen memories with no additional gates. When a chip is not selected, its outputs turn off, i.e., go to a high dc impedance state. This feature allows up to 16 devices to be wired-OR without adding any external pull up resistors. The outputs of the device can drive 1.5 TTL loads, so one standard TTL input or 6 low power TTL inputs may be driven directly by the silicon gate output.

Internal pull up resistors are provided on all the input lines to the 3512. These pull the inputs up to V<sub>IH</sub> in the HIGH state. For the Chip Select inputs, the internal resistors are controlled by pin V<sub>p</sub>. There is an MOS transistor connected between each Chip Select input and V<sub>SS</sub>. The transistor gates are connected to V<sub>p</sub>, so when V<sub>p</sub> = V<sub>GG</sub> the transistors are on, providing a pull up impedance of around 10 kΩ to V<sub>SS</sub>.

When V<sub>p</sub> = V<sub>SS</sub>, the transistors are off and the Chip Select inputs are at a high impedance, presenting virtually no dc load. Ordinarily a set of lines will go to the chip selects of a number of devices in parallel. The V<sub>p</sub> on one will be tied to V<sub>GG</sub> and the V<sub>p</sub> on the others will be tied to V<sub>SS</sub>. This scheme provides a single internal pull up resistor for each chip select line so that dc loading does not increase when chip select inputs are paralleled. There is a programmed option for the internal pull up resistors on the address inputs. If the option is chosen, then pull ups on the address inputs are enabled whenever the chip is selected. That is, the chip select controls the gates of the pull up transistors on the address lines. If this option is not requested, the address lines will be ordinary silicon gate inputs, with no pull up resistors.

Three types of information are to be provided by the customer when ordering the 3512. First, the bit patterns to be stored in the 256 words of memory; second, the state of the 4-chip select inputs which enable the chip, third, whether or not the address inputs are to be pulled up when the chip is selected.

**DC CHARACTERISTICS:** V<sub>SS</sub> = +5.0 V ± 5%, V<sub>DD</sub> = 0 V, T<sub>A</sub> = 0°C to 70°C

SYMBOL	CHARACTERISTIC	MIN.	TYP.	MAX.	UNITS	CONDITIONS
V <sub>IH</sub>	Input Voltage HIGH	V <sub>SS</sub> -1V		V <sub>SS</sub>	V	I <sub>IH</sub> Address Inputs = -100 μA I <sub>IH</sub> Chip Select Inputs = -50 μA See Note 1 & Figs. 11 & 12
V <sub>IL</sub>	Input Voltage LOW	V <sub>GG</sub>	0.3	0.8	V	I <sub>IL</sub> Address Inputs = -24 mA I <sub>IL</sub> Chip Select Inputs = -1.0 mA See Note 2 & Figs. 11 & 12
V <sub>OH</sub>	Output Voltage HIGH	2.4	4.0	V <sub>SS</sub>	V	I <sub>OH</sub> = -0.5 mA, Note 3 I <sub>OH</sub> = -10 μA, Note 3
V <sub>OL</sub>	Output Voltage LOW	0	0.3	0.4	V	I <sub>OL</sub> = 2.4 mA, Note 4
I <sub>LI</sub>	Input Leakage Current		0.02	1.0	μA	V <sub>IN</sub> = -10 V, V <sub>p</sub> = V <sub>SS</sub> , Note 5
I <sub>LO</sub>	Output Leakage Current		0.02	1.0	μA	V <sub>OUT</sub> = 0 V, Note 6
I <sub>DD</sub>	V <sub>DD</sub> Current		-15	-22	mA	Outputs Open Inputs 0 V
I <sub>GG</sub>	V <sub>GG</sub> Current		-30	-43	mA	
I <sub>SS</sub>	V <sub>SS</sub> Current		60	88	mA	
P <sub>D</sub>	Power Dissipation		700	1000	mW	

**NOTES:**

1. I<sub>IH</sub> = Current out of the input at V<sub>IN</sub> = V<sub>SS</sub>-1V
2. I<sub>IL</sub> = Current out of the input at V<sub>IN</sub> = 0 V
3. I<sub>OH</sub> = Current out of output.
4. I<sub>OL</sub> = Current into output
5. All pins at V<sub>SS</sub> except pin under test
6. Chip not selected

**AC CHARACTERISTICS:** V<sub>SS</sub> = +5.0 V ± 5%, V<sub>GG</sub> = -12 V ± 5%, V<sub>DD</sub> = 0 V, T<sub>A</sub> = 0°C to 70°C

SYMBOL	CHARACTERISTIC	MIN.	TYP.	MAX.	UNITS	CONDITIONS
t <sub>DAO+</sub>	Access Time Address to Output HIGH		400	600	ns	Notes 1 & 2
t <sub>DAO-</sub>	Access Time Address to Output LOW		350	600	ns	Notes 1 & 2
t <sub>E</sub>	Chip Select Enable to Output Access Time		350	500	ns	Notes 1 & 2
t <sub>Ē</sub>	Chip Select Disable to Output Access Time		350	500	ns	Notes 1 & 2
C <sub>I</sub>	Input Capacitance		10	15	pF	f = 1.0 MHz, 0 V Bias
C <sub>O</sub>	Output Capacitance		10	15	pF	f = 1.0 MHz, 0 V Bias

**NOTES:**

1. See access time test circuit, Fig. 14
2. See timing diagram and characteristic curves.

## Glosario

### Capacidad de memoria

====> Es el número total de bit que pueden almacenarse en una memoria.

### Celda de memoria

====> Es un circuito empleado para almacenar un bit de información. Son ejemplos de celdas de memoria un flip-flop y un núcleo magnético.

### Diodo

====> Es una unión P-N al cual se le han añadido dos terminales a ambos lados de la unión. Su principal característica es la de ofrecer muy poca resistencia a la corriente en un sentido (polarización directa), y una muy alta en sentido contrario (polarización inversa).

### Dirección

====> Es la designación usada para la localización de un bit o palabra en la memoria.

### Direccionamiento lineal

====> Cuando se emplea en una memoria, cada palabra tiene una línea de dirección exclusiva; esto es, para seleccionar una palabra particular su línea de dirección debe ser energizada. Se emplea en memorias relativamente pequeñas.

## Dopado

====> Proceso mediante el cual se introduce una impureza deseada a un material semiconductor, para producir huecos o electrones libres, los cuales son llamados portadores mayoritarios de corriente.

## Fan-out

====>. Es el número máximo de entradas estándar que una salida de un circuito digital puede manejar confiablemente.

## Flip-flop

====> Elemento de memoria construido a base de puertas lógicas; tiene capacidad para almacenar un bit (dígito binario) de información.

## Inmunidad al ruido

====> Es la habilidad de un circuito para tolerar voltajes debidos al ruido en sus entradas.

## Lectura destructiva

====> Ocurre cuando la lectura de una localización de la memoria destruye la información almacenada en esa localización (esto es, ceros remplazan el contenido previo)

## Material N

====> Se obtiene cuando el dopado (contaminación) se hace con un material que tienen 5 electrones en su capa más externa, como el arsénico o el antimonio.

## Material P

====> Se obtiene cuando el dopado (contaminación) se hace con un material que tenga 3 electrones en su capa más externa, como el aluminio, el galio y el indio.

## Memoria de acceso al azar (RAM)

====> Son memorias en las cuales la información puede ser leída o escrita en cualquier localización de memoria con el mismo tiempo de acceso.

## Memoria de sólo lectura (ROM)

====> Es un circuito lógico combinatorio que funciona como una memoria cuya información almacenada no puede ser cambiada fácilmente.

## Memoria de acceso secuencial

====> Es aquella en la cual una palabra con una dirección particular se encuentra barriendo todas las localizaciones anteriores a ella.

## Memoria organizada por bit

====> Son aquellas en las cuales se le asigna a cada bit una dirección identificable.

## Memoria organizada por palabra

====> Es una memoria en la cual se le asigna una dirección a cada palabra de tal modo que todos los bits de una palabra tienen la misma dirección.

## Memoria volatil

====> Son aquellas que pierden la información almacenada cuando falta la energía eléctrica.

### Operación de lectura

====> Percibe los bits de una palabra en una dirección dada de una memoria.

### Operación de escritura

====> Consiste en almacenar o colocar una nueva palabra en una dirección particular de una memoria.

## Palabra

----> Una palabra es un grupo de bits (celdas) en una memoria la cual representa información codificada.

## Puerta lógica

====> Circuito electrónico capaz de efectuar operaciones lógicas definidas en el Algebra Booleana.

## Tiempo de acceso

====> Es el tiempo que transcurre desde que la memoria recibe una orden solicitando datos y cuando los datos están disponibles.

## Tiempo de ciclo

====> Es el tiempo que toma la memoria para ir y traer datos desde una dirección dada y luego retornar a su estado original lista para la orden siguiente.

## Transistor

====> Dispositivo de tres terminales que se puede comportar como un interruptor, para ello emplea uno de sus terminales como control. Esta formado por dos uniones P-N.

## Unión P-N

====> Se obtiene por la unión física de un material N y uno P.

## Voltaje de entrada de alto nivel ( $V_{ih}$ )

====> Es el nivel mínimo de voltaje requerido para un 1 lógico en una entrada en un circuito digital.

## Voltaje de entrada de bajo nivel ( $V_{il}$ )

====> Es el nivel de voltaje requerido para un 0 lógico en la entrada de un circuito.

## Voltaje de salida de alto nivel ( $V_{oh}$ )

====> Es el nivel de voltaje en la salida de un circuito digital cuando se tiene un 1 lógico. Generalmente se especifica el valor mínimo de  $V_{oh}$ .

## Voltaje de salida de bajo nivel ( $V_{ol}$ )

====> Es el nivel de voltaje de un circuito digital cuando su salida tiene un 0 lógico.

## Bibliografía

Mano, M.M., Computer system architecture, Englewood cliffs, N.J.: Prentice-Hall., 1972.

Root, C.H., Fundamentals of logic design, St. Paul, Minnesota: WEST, segunda edición, 1979.

Lurch E. N., Fundamentos de electronica, New York: John Wiley & Son, Inc, 1971

Schilling L.D. y C. Belove, Electronic circuits discret and integrated, New York: Segunda edición, McGraw-Hill Book Co., 1979.

Carrillo, J., M. Delgado, S. Alcantara, y D. Silva, Desarrollo de la microelectrónica, Ciencia y desarrollo, Consejo Nacional de Ciencia y Tecnología, mayo-junio 1984, Número 56 / año X.

Tocci, R. J., Sistemas digitales Principios y aplicaciones, Englewood Cliffs, N.J.: Prentice-Hall, Inc., 1977.

